

訂正版

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 12 月 2 日 (02.12.2004)

PCT

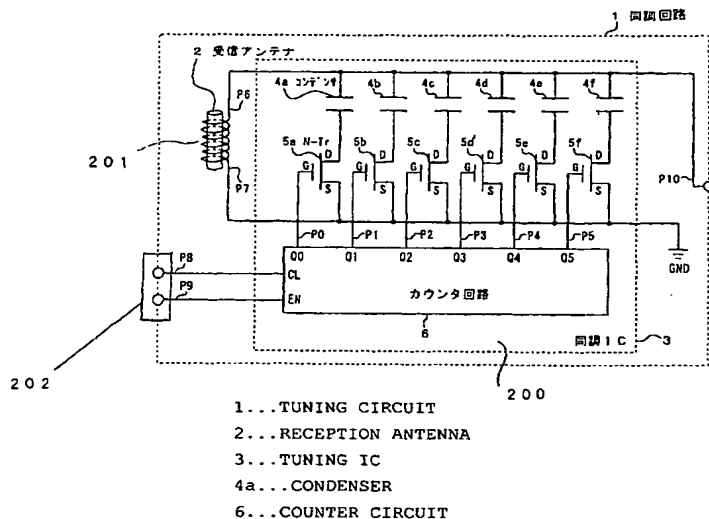
(10) 国際公開番号
WO 2004/105240 A1

- (51) 国際特許分類⁷: H03J 3/22, 188-0011 東京都 西東京市 田無町六丁目 1 番 1 2 号 Tokyo (JP).
H04B 1/18, G04C 9/02, G04G 5/00
- (21) 国際出願番号: PCT/JP2004/007211
- (22) 国際出願日: 2004 年 5 月 20 日 (20.05.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-141573 2003 年 5 月 20 日 (20.05.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): シチズン時計株式会社 (CITIZEN WATCH CO., LTD.) [JP/JP];
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 伊原 隆史 (IHARA, Takashi) [JP/JP]; 188-0011 東京都 西東京市 田無町六丁目 1 番 1 2 号 シチズン時計株式会社内 Tokyo (JP).
- (74) 代理人: 畑 泰之 (HATA, Yasuyuki); 107-0052 東京都 港区 赤坂 1 丁目 1 番 1 8 号 赤坂大成ビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

/続葉有/

(54) Title: TUNIGN DEVICE AND RADIO-WAVE CORRECTED TIMEPIECE

(54) 発明の名称: 同調装置及びそれを用いた電波修正時計



(57) Abstract: A small, high-performance tuning device which is high in sensitivity, excellent in stability, and wide in variable range of tuning frequency due to the optimized on-resistance and off-resistance of a semiconductor switch built in a tuning IC, and is suitable for the reception circuit of a radio-wave corrected timepiece, the tuning device comprising a tuning IC (3) provided with a plurality of N-channel MOS transistors (hereinafter abbreviated N-Tr) (5a-5f) as semiconductor switches and a counter circuit (6) for controlling the opening/closing of the N-Trs, a plurality of capacitors (4a-4f) connected in series with the plurality of N-Trs respectively, and a reception antenna (2) connected with the plurality of capacitors, wherein the plurality of capacitors have their total electrostatic capacity varied by the opening/closing of the plurality of N-Trs, and a tuning frequency of a tuning circuit can be varied by the plurality of capacitors and the reception antenna.

(57) 要約: 同調ICに内蔵される半導体スイッチのON抵抗とOFF抵抗の最適化により、高感度で安定性に優れ、同調周波数の可変範囲が広い、小型で高性能な電波修正時計の受信回路に適した同調装置を提供するものであって、複数の半導体スイッチとしてのNチャンネルMOSトランジスタ

/続葉有/



WO 2004/105240 A1



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(48) この訂正版の公開日:

2005 年 7 月 7 日

(15) 訂正情報:

PCTガゼット セクションIIの No.27/2005 (2005 年 7 月 7 日)を参照

2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

以降N-Trと略記)5a~5fと該N-Trの開閉を制御するカウンタ回路6を備える同調IC3と、前記複数のN-Trと各々直列に接続される複数のコンデンサ4a~4fと、該複数のコンデンサに接続される受信アンテナ2とを有し、前記複数のコンデンサは前記複数のN-Trの開閉によって合計静電容量が可変され、該複数のコンデンサと前記受信アンテナとによる同調回路の同調周波数が可変されるように構成した。

明 細 書

同調装置及びそれを用いた電波修正時計

技術分野

本発明は、電波等を受信する小型で高性能な同調装置と、それを用いた電波修正時計の受信方式の改良に関するものである。

背景技術

従来、受信機の電子チューナや送信機の発信回路等に用いられる電子式同調回路は、一般的に可変容量ダイオードを用い、該可変容量ダイオードへの印加電圧を制御して等価的な静電容量を変化させ、同調周波数を可変している。この方式は、可変容量ダイオードが小型で安価であると共に、印加電圧の制御で同調周波数を容易に可変出来るので、チューナや送信回路を小型で安価に実現できる利点がある。しかし、可変容量ダイオードは半導体のPN接合の空乏層を利用しているためにリーク電流が存在するので、同調回路のQ値を高くすることが出来ない。

また、静電容量の変化に伴ってQ値も変化するので、安定した同調回路の実現が難しい。更には、可変容量ダイオードの容量可変範囲も限られているので、同調周波数を広範囲に可変することは困難である。

これらの問題を解決するために、容量最大値と容量最小値の2値状態を取り得る可変容量ダイオードを複数個半導体基板上に形成し、各可変容量ダイオードに対して、同じく半導体基板上に形成するスイッチング素子によってバイアス電圧をON/OFFし、等価的静電容量を可変させる提案が例えば特開昭57-99787号公報の特許請求の範囲或いは同明細書の第3図等々に示されている。

この提案によれば、スイッチング素子によって複数の可変容量ダイオードを切り替えて用いるので、可変容量範囲を大きく取ることが可能であり、同調周波数を広範囲に可変することが出来る。また、静電容量の変化に伴うQの変化も少ないので、ある程度安定した同調回路を実現することが出来る。

しかしながら、半導体基板上に形成される複数の可変容量ダイオードは、前述した如くPN接合の空乏層を利用しているのでリーク電流が存在し、同調回路のQを一定以上高くすることが出来ず、安定した同調回路を実現することが困難である。また、可変容量ダイオードの容量を最小とするためには、ある程度高いバ

イアス電圧を印加する必要があるが、このバイアス電圧の生成にはマイナス電源が必要であり、このため、同調回路の部品点数増加、コストアップ等の大きな要因となる。また、一つの半導体基板上に複数のPN接合を形成して可変容量ダイオードを実現させるが、隣接する可変容量ダイオード間の電氣的な影響を防止してQの変化を抑えるために、個々の可変容量ダイオード間に絶縁領域を形成して電氣的に分離する必要があるが、半導体基板製造工程が増えて、歩留まりの低下やコストアップの要因となる。

従って、本発明の目的は、上記課題を解決して、半導体スイッチとリーク電流の極めて少ないコンデンサとの組み合わせにより、安定性に優れ、同調周波数の可変範囲が広く、且つ、小型化が可能な電波修正時計の受信回路に適した同調装置と、それを用いた電波修正時計を提供することである。

発明の開示

本発明は上記した目的を達成する為、以下に示す様な基本的な技術構成を採用する。

即ち、本発明の同調回路は、基本的には、複数の半導体スイッチと該半導体スイッチの開閉を制御するスイッチ制御手段を備える半導体基板と、前記複数の半導体スイッチと各々直列に接続される複数のコンデンサと、該複数のコンデンサに接続されるコイルとを有し、前記複数のコンデンサは前記複数の半導体スイッチの開閉によって合計静電容量が可変され、該複数のコンデンサと前記コイルとによって成る同調回路の同調周波数が可変されるように構成したことを特徴とするものであり、より詳細には、複数の半導体スイッチと、当該複数の半導体スイッチと各々直列に接続される複数の第1のコンデンサと、当該半導体スイッチの開閉を制御するスイッチ制御手段と備える半導体基板と、該複数の第1のコンデンサのそれぞれに並列的に接続されるコイルとから構成されており、時刻情報を含む標準電波の受信局選択指示信号に応答して当該スイッチ制御手段が当該複数の第1のコンデンサに接続されている個々の半導体スイッチを個別に開閉制御する事によって当該複数の第1のコンデンサによる合計静電容量が可変され、該複数の第1のコンデンサと前記コイルとによって成る同調回路の同調周波数を変更する様に構成されていることを特徴とする同調回路である。

更に、本発明に於いては、同調範囲を拡大したり、或いは、同調操作を効率化する為に、当該半導体基板上若しくは当該半導体基板外に、当該第 1 のコンデンサ群とは別に当該第 1 のコンデンサと並列に当該コイル部と接続されている固定容量を有するか或いは可変容量を有する第 2 のコンデンサが設けられている事も好ましい。

かかる構成を採用する場合に於いては、当該第 2 のコンデンサは、当該第 1 のコンデンサが受ける制御とは異なる制御を受ける様に構成されている事が望ましい。

更に、本発明に於いては、当該第 2 のコンデンサを使用する場合に有っては、当該第 2 のコンデンサの制御は、適宜に実行する事が可能であるが、例えば、その少なくとも一つは、当該半導体基板上に設けられた半導体スイッチを介して当該スイッチ制御手段により制御される様に構成されているもので有っても良い。

本発明の同調回路により、複数のコンデンサを半導体スイッチの開閉によって任意に切り替えることが出来るので、コンデンサの可変容量範囲を広くすることが出来、この結果、同調回路の同調周波数の可変範囲を広く確保することが出来る。

従って、時刻情報を含んだ標準電波を発信している受信局が複数存在する場合に、それぞれの受信局が発信している標準電波の特定の周波数を容易に選択して同調させる事が可能である。

また、前記複数のコンデンサは、前記半導体基板上に形成されることを特徴とする。

これにより、コンデンサの部品点数を削減でき、同調回路の小型化や製造工程の簡素化を実現できる。

また、前記半導体基板上に形成される複数のコンデンサは、前記半導体基板上に於いて酸化膜や窒化膜等を含む適宜の誘電体を用いた膜体で形成されたコンデンサであることを特徴とする。

これにより、コンデンサのリーク電流を極めて小さく出来るので、安定性に優れた同調装置を実現できる。

また、前記半導体スイッチの少なくとも一つは、前記半導体基板の外部に配置

されたコンデンサに接続されることを特徴とする。

これにより、半導体基板上に形成することが困難な大容量のコンデンサを付加することが出来るので、同調周波数の可変範囲を更に拡大でき、また、接続するコイルの選択範囲も広げることが可能となる。

また、前記半導体スイッチのON抵抗は、該半導体スイッチに直列に接続される前記コンデンサのインピーダンスより小さいことを特徴とする。

これにより、接続されるコンデンサの静電容量に対応して、最適な半導体スイッチのON抵抗を選択することが出来るので、半導体基板の小型化が可能であると共に、高感度の同調装置を実現することが出来る。

また、前記半導体スイッチのOFF抵抗は、該半導体スイッチに直列に接続される前記コンデンサのインピーダンスより大きいことを特徴とする。

これにより、接続されるコンデンサの静電容量に対応して、最適な半導体スイッチのOFF抵抗を選択することが出来るので、高感度の同調回路を実現することが出来る。

また、本発明に於いては、当該同調回路に接続される増幅回路部に使用される抵抗部の抵抗値を当該同調回路に設けられている同調コンデンサによるインピーダンスよりも大きくなるように設定することも好ましく、これによってよりアンテナの利得をより向上させることが出来る。

また、前記複数のコンデンサの静電容量の合計値が9600pF以下であることを特徴とする。

これにより、複数のコンデンサを内蔵する半導体基板のサイズを2mm×1.6mm程度にすることが可能となり、実装効率を高めることが出来る。

また、前記コイルのインダクタンスが0.44mH以上であることを特徴とする。

これにより、本発明の同調回路を電波修正時計の同調手段として用いた場合、前記複数のコンデンサの静電容量の合計値が9600pF以下であるとする、標準電波の最も高い周波数(77.5kHz)を同調させることが出来る。

また、前記コイルのインダクタンスが4000mH以下であることを特徴とする。

これにより、本発明の同調回路を電波修正時計の同調手段として用いた場合、前記半導体基板や該半導体基板の実装上の寄生容量が4 p F程度であるとする、標準電波の最も低い周波数（40 KHz）を同調させることが出来る。

本発明の電波修正時計は、前記同調回路と、該同調回路を制御し、該同調回路によって受信した標準電波を入力して時刻修正を行う制御手段と、該制御手段からの時刻情報を表示する表示手段とを有することを特徴とする。

本発明の電波修正時計により、同調周波数の可変範囲が広く、且つ、高感度で安定した標準電波の受信が可能となる。

また更に、金属材料によって成る金属外装を有し、該金属外装によって前記同調回路と前記制御手段と前記表示手段を覆い、機械的に保護するように構成したことを特徴とする。

これにより、傷が付きにくく防水性に優れ、高級感のある金属外装を用いた電波修正時計を実現させることが出来る。

また、前記金属外装に覆われる前記同調回路の前記コイルのインダクタンスは20 mH以上であることを特徴とする。

これにより、同調回路の受信感度を一定以上に保つことが可能となり、金属外装であっても高感度の電波修正時計を実現させることが出来る。

また、前記同調回路の前記複数の半導体スイッチの開閉を制御し、前記同調周波数を可変することにより、複数の標準電波を受信するように構成したことを特徴とする。

これにより、周波数の異なる複数の標準電波の受信が可能となり、各国各地域に対応した電波修正時計を実現させることが出来る。

また、前記同調回路の前記同調周波数を可変するための同調制御情報を記憶する同調記憶手段を有することを特徴とする。

これにより、同調記憶手段に受信する標準電波の情報を記憶出来るので、複数の標準電波を任意に選択し受信することが出来る。

また、前記同調記憶手段は、前記同調回路の内部に備えられていることを特徴とする。

これにより、同調回路の内部に受信する標準電波の情報を記憶出来るので、同

調回路の製造工程や調整工程を簡略化することが出来る。

また、前記同調記憶手段は、パターンカット手段、又はヒューズROM、又は不揮発性メモリであることを特徴とする。

これにより、電波修正時計の仕様に応じて最適な同調記憶手段を選択でき、コストダウンや製造工程の簡略化を実現できる。

図面の簡単な説明

図1は、本発明の第1の実施形態である同調回路の回路図である。

図2は、本発明の第1の実施形態である同調回路の等価回路と実験回路を示し、図2(a)はN-T_rがON状態での同調回路の等価回路であり、図2(b)はN-T_rがOFF状態での同調回路の等価回路であり、図2(c)はN-T_rのON抵抗とOFF抵抗の影響を検証するための同調回路の実験回路である。

図3は、本発明の第1の実施形態である同調回路のインピーダンス比—アンテナ利得特性図である。

図4は、図3のインピーダンス比—アンテナ利得特性の部分拡大図であり、図4(a)は1800pFのコンデンサ10aを用いたアンテナ利得特性20の比率0.01以下の部分拡大図であり、図4(b)は同じく1800pFのコンデンサ10aを用いたアンテナ利得特性20の比率250位以上の部分拡大図である。

図5は、本発明の第2の実施形態である同調回路の回路図である。

図6は、本発明の同調回路を組み込んだ電波修正時計と標準電波を送信する送信局との関係を示した説明図である。

図7は、本発明の第3の実施形態である電波修正時計の回路ブロック図である。

図8は、本発明の同調回路と受信ICの関係を示す概略回路図であり、図8(a)は本発明の同調回路と受信ICの増幅回路の概略回路図であり、図8(b)は図8(a)の等価回路であり、図8(c)は本発明の同調回路と受信ICの増幅回路の他の概略回路図である。

図9は、本発明の第4の実施形態である電波修正時計の回路ブロック図である。

図10は、本発明の電波修正時計のアンテナ同調調整方法を示す原理図であり、図10(a)は、接触方式のアンテナ同調調整方法を示す原理図であり、図10

(b) は、非接触方式のアンテナ同調調整方法を示す原理図である。

図 1 1 は、本発明の電波修正時計のアンテナ同調調整方法によって得たアンテナ出力特性図である。

図 1 2 は、従来の電波修正時計に於ける同調回路の一具体例の構成を示す図である。

図 1 3 は、本発明の他の具体例に於ける同調回路の回路図である。

図 1 4 は、本発明の更に他の具体例に於ける同調回路の回路図である。

図 1 5、図 1 6 は、本発明の他の具体例に於ける同調回路のインピーダンス比－アンテナ利得特性図の部分拡大図である。

図 1 7 から図 2 0 は、Q 値の測定方法の一例を説明する図である。

図 2 1、図 2 2 は、本発明に於ける電波修正時計の使用例を説明する図である。

図 2 3 は、本発明に於ける同調回路と増幅回路を接続させた回路の一例を示す回路図である。

図 2 4 は、図 2 3 の回路を用いた同調回路に於ける増幅回路抵抗とコンデンサインピーダンスとの比とアンテナ利得減衰率との関係を示すグラフである。

発明を実施するための最良の形態

以下、本発明の実施形態を図面に基づいて詳細に説明する。図 1 は本発明に係るの第 1 の実施形態である同調装置 1 の構成例を示すブロックダイアグラムであって、図中、複数の半導体スイッチ 5 と、当該複数の半導体スイッチ 5 と各々直列に接続される複数の第 1 のコンデンサ 4 と、当該半導体スイッチ 5 の開閉を制御するスイッチ制御手段 6 と備える半導体基板 200 と、該複数の第 1 のコンデンサ 4 のそれぞれに並列的に接続されるアンテナ部 2 を構成するコイル 201 とから構成されており、時刻情報を含む標準電波の受信局選択指示信号に応答して当該スイッチ制御手段 6 が当該複数の第 1 のコンデンサ 4 に接続されている個々の半導体スイッチ 5 を個別に開閉制御する事によって当該複数の第 1 のコンデンサ 4 による合計静電容量が可変され、該複数の第 1 のコンデンサ 4 と当該コイル 201 とによって成る同調回路 1 の同調周波数を変更する様に構成されている、例えば、電波修正時計の受信部の使用に適した、同調回路 1 が示されている。

本発明に於ける第 1 の実施態様である同調回路 1 の構成を更に詳細に説明する

ならば、図1に於いて、2は電波を受信するコイル201を有する受信アンテナであり、略棒状の高透磁率材料に導線を巻いて形成され、受信した電波によって誘起されるアンテナ信号P6、P7を出力する。3はワンチップによって成る半導体基板200を含む同調ICである。4a～4fは同調IC3の内部に形成される複数の第1のコンデンサであり、 SiO_2 等によって成る酸化膜或いは Si_3N_4 等の窒化膜を含む誘電体からなる膜体を用いて形成される。当該第1のコンデンサ4a～4fの一方の端子は共通に接続されて受信アンテナ2のアンテナ信号P6に接続される。

一方、5a～5fは半導体スイッチ5としてのNチャンネルMOSトランジスタ（以下N-Trと略記）である。N-Tr5a～5fのドレイン端子Dは当該第1のコンデンサ4a～4fの他方の端子に直列に接続され、N-Tr5a～5fのソース端子Sは共通に接続されて受信アンテナ2のアンテナ信号P7に接続され、更に電氣的接地であるGNDに接続される。尚、電氣的接地であるGNDはアンテナ端子P6に接続されても良い。6はスイッチ制御手段としてのカウンタ回路であり、クロック端子CLとイネーブル端子ENを入力端子として備え、クロック端子CLからのパルスのカウントするバイナリカウンタとして動作し、出力端子としてカウント端子Q0～Q5を備えている。

更に、P0～P5はカウンタ回路6のカウント端子Q0～Q5より出力されるカウント信号であり、N-Tr5a～5fのゲート端子Gにそれぞれ接続される。

又、P8はカウンタ回路6のクロック端子CLに接続されるクロック信号であり、P9はカウンタ回路6のイネーブル端子ENに接続されるイネーブル信号である。一方、P10は同調回路1の出力としての同調信号であり、同調IC3の内部で第1のコンデンサ4a～4fの一方の端子とアンテナ信号P6に接続される。尚、アンテナ信号P6がGNDに接続される場合は、同調信号P10はアンテナ信号P7に接続される。

次に本発明の第1の実施形態である同調回路1の動作を説明する。図1に於いて、イネーブル信号P9が論理“0”の期間は、カウンタ回路6はリセット状態を保ち、カウント端子Q0～Q5より出力されるカウント信号P0～P5は論理“0”を保持する。この結果、N-Tr5a～5fのゲート端子Gの電位は零ボ

ルトを保持するので、N-Tr 5 a ~ 5 f は全てOFF状態となり、複数の当該第1のコンデンサ4 a ~ 4 f は受信アンテナ2に対して切断され、同調回路は形成されない。

次にイネーブル信号P 9 が論理“1”になると、カウンタ回路6 はリセットが解除され、クロック信号P 8 のパルスをカウントするスタンバイ状態となる。ここで、クロック信号P 8 によって1個のパルスがクロック端子CLに入力されると、カウンタ回路6 はカウント動作を実行し、カウント端子Q 0 の出力であるカウント信号P 0 は論理“1”となる。同様に、クロック信号P 8 によって2個のパルスがクロック端子CLに入力されると、カウンタ回路6 はカウント動作を実行し、カウント端子Q 1 の出力であるカウント信号P 1 が論理“1”となる。

同様に、クロック信号P 8 によって63個のパルスがクロック端子CLに入力されたとすると、カウンタ回路6 は最大カウント数になり、全てのカウント信号P 0 ~ P 5 が論理“1”となる。ここで、カウント信号P 0 ~ P 5 は前述した如くにN-Tr 5 a ~ 5 f のゲート端子Gに接続されているので、論理“1”となったカウント信号P 0 ~ P 5 に接続されているN-Tr 5 a ~ 5 f はONとなる。そして、ONとなったN-Tr 5 a ~ 5 f にそれぞれ直列に接続されている当該第1のコンデンサ4 a ~ 4 f は受信アンテナ2に接続され、受信アンテナ2と該受信アンテナ2に接続された当該第1のコンデンサ4 a ~ 4 f によって並列共振回路が形成され、該並列共振回路が同調装置1の同調回路として機能する。

ここで一例として、第1のコンデンサ4 a の静電容量は12.5 pF、第1のコンデンサ4 b の静電容量は25 pF、第1のコンデンサ4 c の静電容量は50 pF、第1のコンデンサ4 d の静電容量は100 pF、第1のコンデンサ4 e の静電容量は200 pF、第1のコンデンサ4 f の静電容量は400 pFとして同調IC 3 の内部に形成したとする。この結果、クロック信号P 8 のパルス数に応じて、12.5 pFの分解能で最小0 pFから最大787.5 pFの静電容量が受信アンテナ2に対して並列に接続され同調回路が形成される。但し、実際には同調IC 3 の内部や実装に伴う配線等によって寄生容量や浮遊容量が存在するので、上記の静電容量に数pF~十数pFの静電容量が付加される。

この受信アンテナ2と該受信アンテナ2にN-Tr 5 a ~ 5 f を介して接続さ

れる第1のコンデンサ4 a～4 fによって形成される同調回路の同調周波数（すなわち共振周波数）Fは、受信アンテナ2のインダクタンスをLとし、接続されたコンデンサ4 a～4 fによる合計静電容量をCとすれば、

$$F = 1 / 2 \pi \sqrt{L C} \quad (\text{式1})$$

となる。

よって、式1により、コンデンサ4 a～4 fの合計静電容量が可変されると同調周波数Fも可変することが理解できる。ここで、同調周波数Fに於いて、受信アンテナ2とコンデンサ4 a～4 fによる同調回路のインピーダンスは最大となるので、同調周波数Fに等しい受信電波が受信アンテナ2に到来すると、アンテナ信号P 6、P 7間に同調周波数Fに等しい受信電波が選択的に誘起されて同調信号P 10として出力される。

すなわち、本発明の同調回路1は、クロック信号P 8のパルス数に応じて当該第1のコンデンサ4 a～4 fを受信アンテナ2に接続するので、同調周波数Fを任意に可変することが出来る。

この結果、受信アンテナ2に到来する様々な周波数の電波の中から同調周波数Fによって選択される特定の電波を受信することが出来る。尚、この実施形態に於いては複数の第1のコンデンサ4 a～4 fは6個であり、当該第1のコンデンサ4 a～4 fを開閉するN-T r 5 a～5 fも6個であるが、この数に限定されるものではなく、更に広い範囲の同調周波数が必要であれば当該第1のコンデンサとN-T rの数を増やして良く、また、それほど広い範囲の同調周波数が必要でなければ、当該第1のコンデンサとN-T rの数を減らしても良い。また、当該第1のコンデンサ4 a～4 fのそれぞれの静電容量も、要求性能に応じて任意に決めることが出来る。

即ち、本発明に於ける当該同調回路1は、同一の容量を持った複数個のコンデンサ或いは相互に異なる容量を持った複数個のコンデンサを適宜組み合わせることによって当該同調回路1に於ける合計静電容量を適宜変化させる事が容易に出来るので、当該同調回路1の同調周波数を任意に可変する事によって、受信出来る電波の周波数を自由に設定する事が出来る。

その結果、ユーザーが任意の国、或いは任意の地方に移動した場合に、移動先

11

の国又は地方に於いて受信される時刻情報を含んだ標準電波を受信して、電波修正時計の時刻情報を修正する場合には、適宜の選択指示信号に応答して、当該制御手段 6 を操作駆動させる事によって、当該受信可能な標準電波の周波数に合致する同調周波数を当該同調回路内に設定する事が可能となり、容易に所望の標準電波を受信する事が出来る。

又、本発明に於いては、複数個の第 1 のコンデンサが使用されているので、その選択組合せによって、複数種の同調周波数を当該同調回路 1 内に設定出来るので、複数種の標準電波の受信に対応する事が出来る。

具体的には、例えば、所定の受信局からの標準電波の周波数が不明の場合には、適宜の外部操作手段 202 を設けて、これを受信局選択手段として機能させ、当該外部操作手段 202 から当該制御手段 6 を駆動制御するイネーブル信号 P9 とクロック信号 P8 とを受信局選択指示信号として自動的に或いはマニュアル操作によって入力し、当該クロック信号に応答して当該第 1 のコンデンサ 4 の組合せ選択を実行しながら、当該同調回路 1 の出力 P10 の共振出力が最大となる合計静電容量求めて、その状態に設定するか、予め複数の受信周波数と当該第 1 のコンデンサ 4 の組合せ選択条件とを適宜の記憶手段に記憶させておき、受信する国或いは地方での標準電波の周波数が予め判明している場合には、当該外部操作手段 202 から、所定の周波数数を選択するコード番号を当該制御手段 6 に入力することによって当該制御手段 6 は、当該記憶手段に記憶されている所定の周波数に対応する当該第 1 のコンデンサ 4 の組合せ条件を読み出して、当該第 1 のコンデンサ 4 の組合せ選択操作を実行する様にすれば良い。

此处で、本発明に於ける標準電波の受信に際しての同調方法と従来に於ける同様の同調方法の相違について、簡単に説明する。

即ち、従来の同調方法では、図 12 に示す様に、日本の 40 KHz、60 KHz、ドイツの 77.5 KHz の電波を受信できる電波時計の場合、従来の同調システムは従来例に示すような接続を行い C1、C4、C7 は予め接続し、C2、C3、C4、C8 を組み替えて各々の共振周波数に合わせこんでいく。

例えば、アンテナの L 値 L1 が 2 mH のアンテナを使用し、±5% 程度の精度を持つ市販のコンデンサで同調を行い、アンテナの Q 値が 100 とし、最も高い利

12

得から 3 dB 程度減衰した範囲で同調を行った場合、C1 は 1800 pF、C4 は 1200 pF、C7 は 3900 pF となり、77.5 KHz の周波数調整範囲は ± 387.5 Hz、60 KHz の周波数調整範囲は ± 300 Hz、40 KHz の周波数調整範囲は ± 200 Hz となる。

77.5 KHz の同調を行う場合、SW1.2 は OFF し、C1 が接続された状態での共振周波数を求め、補正を行う。

この場合、最も大きいコンデンサ容量 C2 は 390 pF となるが、コンデンサの精度によっては先の周波数調整範囲に入らないため、もう一度の共振周波数を求め、この結果を持って補正を行い、調整を行う。

この時の最も大きいコンデンサ容量 C3 は 33 pF となる。

また、この後は共振周波数の確認のために共振周波数の測定を行う。

次に 60 KHz の同調を行う場合、SW1 は ON し、SW2 は OFF し、C1, C2, C3, C4 が接続された状態での共振周波数を求め、補正を行う。

この場合、最も大きいコンデンサ容量 C5 は 220 pF となるが、コンデンサの精度によっては先の周波数調整範囲に入らないため、もう一度の共振周波数を求め、この結果を持って補正を行い、調整を行う。

また、この後は共振周波数の確認のため共振周波数の測定を行う。

この時の最も大きいコンデンサ容量 C6 は 33 pF となる。

次の 40 KHz の同調を行う場合、SW1 は ON し、SW2 は OFF し、C1、C2、C3、C4、C5、C6 が接続された状態での共振周波数を求め、この結果を持って補正を行う。

この場合、最も大きいコンデンサ容量 C8 は 680 pF となる。

また、この後は共振周波数の確認のために共振周波数の測定を行う。

以上のように 3 局の同調を行うために 8 個もの同調コンデンサが必要となり、共振周波数を最高 8 回程度求める必要があり、共振周波数を求めるたびにコンデンサも半田付けしなくてはならなかった。

これに対し、本発明に於いては、上記した様に、予め一つの IC 回路に例えば 8 個のコンデンサと半導体スイッチ 5 とを図 1 に示す様に作り込んでおけば、当該同調回路の全静電容量は、スイッチを適宜に制御するのみで容易に変えられ、

個々の接続にはんだ処理をする必要もなく、製造工程も簡易化され小型化できるという利点を得られる。

次に、本発明等は、上記した本発明に於ける当該同調回路 1 に於いて、受信性能を更に向上させる構成について検討した結果、当該半導体スイッチ 5 の抵抗値と第 1 のコンデンサが持つインピーダンスとの関係を適正に保つ事によって、受信性能を改善させる事が可能であることを知徳し、それによって、当該同調回路を有する電波受信回路を金属外装を有する時計の内部に組み込んでも高レベルの受信性能を発揮させる事が出来ることが判明したものである。

即ち、本発明に於ける当該同調回路 1 に於いて、当該それぞれの半導体スイッチ 5 の ON 抵抗は、当該各半導体スイッチに 5 直列に接続される当該それぞれのコンデンサ 4 が持つインピーダンスより小さくなる様に設定する事が望ましく、又、当該それぞれの半導体スイッチ 5 の OFF 抵抗が、当該各半導体スイッチ 5 に直列に接続される当該それぞれのコンデンサ 4 が持つインピーダンスより大きくなる様に設定する事が望ましいことが判明した。

以下に、図 2 ～図 4 を参照しながら図 1 で示した半導体スイッチ 5 としての N-Tr 5 a ～ 5 f の ON 抵抗と OFF 抵抗が同調回路 1 にどのように影響し、また、該 N-Tr 5 a ～ 5 f の ON 抵抗と OFF 抵抗の好ましい値がどの程度が好ましいか等について検証する。

図 2 は、図 1 で示した同調装置を構成する同調回路 1 の等価回路と実験回路を示しており、図 2 (a) は、同調装置 1 の N-Tr 5 a ～ 5 f が ON 状態の時の等価回路を示し、図 2 (b) は、同調装置 1 の N-Tr 5 a ～ 5 f が OFF 状態の時の等価回路を示している。

図 2 (a) に於いて、4 は上記した第 1 のコンデンサ 4 a ～ 4 f を代表するコンデンサであり、5 は N-Tr 5 a ～ 5 f を代表する N-Tr である。該 N-Tr 5 のゲート端子 G に電圧 V_g が印加されると、N-Tr 5 は ON する。このときの等価回路は矢印 A で示すようになる。ここで、図 2 (a) の等価回路に於いて、5 on は N-Tr 5 の ON 抵抗を表しており、5 s は N-Tr 5 の ON 動作を示すスイッチであり、4 は N-Tr 5 に直列に接続されているコンデンサある。

すなわち、N-Tr 5 は半導体スイッチであるので、ON 状態であったとして

も一定量のON抵抗 5_{on} が存在する。

次に、図2 (b) に於いて、コンデンサ4は当該第1のコンデンサ $4_a \sim 4_f$ を代表するコンデンサであり、 $N-Tr_5$ は $N-Tr_5_a \sim 5_f$ を代表する $N-Tr$ である。該 $N-Tr_5$ のゲート端子Gはソース端子Sと同電位であるので、 $N-Tr_5$ はOFFする。このときの等価回路は矢印Bで示すようになる。ここで、図2 (b) の等価回路に於いて、 5_{off} は $N-Tr_5$ のOFF抵抗を表しており、 5_s は $N-Tr_5$ のOFF動作を示すスイッチであり、4は $N-tr_5$ に直列に接続されるコンデンサである。すなわち、 $N-Tr_5$ は半導体スイッチであるので、OFF状態であったとしてもその抵抗値は無限大でなく、一定量のOFF抵抗 5_{off} が存在する。

このように、半導体スイッチである $N-Tr_5$ はON抵抗 5_{on} とOFF抵抗 5_{off} を持っているが、このON抵抗 5_{on} とOFF抵抗 5_{off} の同調回路1に対する影響は無視することが出来ない。ここで、ON抵抗 5_{on} は、 $N-Tr_5$ のトランジスタサイズを出来る限り大きくすれば、ほぼ零に近いON抵抗を得ることは可能であるが、トランジスタサイズを大きくすると $N-Tr_5$ を内蔵する同調IC3のチップサイズも大きくなり、コストアップや同調装置としての小型化に問題が生じる。また、 $N-Tr_5$ のトランジスタサイズを大きくすると、浮遊容量や寄生容量が増大し同調周波数の可変範囲を狭めるという問題も生じる。

また、OFF抵抗 5_{off} は、 $N-Tr_5$ がONするために必要なしきい値電圧を高くすれば、相当大きなOFF抵抗を得ることは可能であるが、同調回路1を電波修正時計等の電池駆動の機器に組み込むには低電圧駆動が不可欠であり得策ではない。また、しきい値電圧を高くするとON抵抗が増える結果となり、相反する問題も生じる。このようなことから、同調回路への悪影響を最小限に抑え、且つ、同調IC3のチップサイズを増やすことなく、また、低電圧駆動も可能な $N-Tr$ のON抵抗とOFF抵抗の好ましい選択が必要となる。

本出願人は、以上のような観点から半導体スイッチ5としての $N-Tr$ のON抵抗とOFF抵抗の影響を調べ最適値を検証する実験を実施したので、以下説明する。

図2 (C) は、 $N-Tr$ のON抵抗とOFF抵抗の最適値を検証する実験回路

であり、図1で示した同調回路1の受信アンテナ2と複数のコンデンサ4a～4f及びN-Tr 5a～5fの構成に準じた同調回路である。

図2(C)に於いて、2は図1と同等の受信アンテナである。10a～10dはリーク電流の少ないチップタイプ、またはディスクリートタイプのコンデンサであり、それぞれ静電容量を異ならせて配置され、一方の端子は共通に接続されて受信アンテナ2の一方の端子に接続される。

一方、11a～11dは、図1のN-Tr 5a～5fに相当するスイッチであり、ON抵抗が非常に小さいタイプを選択している。12は図1のN-Tr 5a～5fのON抵抗又はOFF抵抗に相当する可変抵抗であり、広い範囲で抵抗値を可変することが出来る。

可変抵抗12はコンデンサ10a～10dとスイッチ11a～11dの間に任意に配置することが出来るが、図2(C)に於いてはコンデンサ10aとスイッチ11aの間に配置されている。尚、コンデンサ10aの静電容量は1800pF、コンデンサ10bの静電容量は1000pF、コンデンサ10cの静電容量は560pF、コンデンサ10dの静電容量は100pFとして設定した。

更に、13は励磁用コイルであり、受信アンテナ2の近傍に配置して受信電波に相当する交流磁界14を発生する。15は交流信号源であり励磁用コイル13に交流磁界14を発生させるために40KHz前後の交流信号を供給する。受信アンテナ2は、コンデンサ10a～10dの合計静電容量に対して、同調周波数が約40KHzになるようにインダクタンスを調整したものを使用する。16は受信アンテナ2の両端子に接続される高入力インピーダンスの交流電圧計であり、受信アンテナ2に誘起される交流信号を測定する。

次に実験方法を説明する。図2(C)に於いて、まず、可変抵抗12の抵抗値を十分に小さくし、スイッチ11a～11dはすべて閉じる。次に、交流信号源15によって励磁用コイル13に交流信号を供給し交流磁界14を発生させる。

これにより、受信アンテナ2には交流磁界14によって交流信号が誘起され、交流電圧計16は誘起された交流信号を測定することが出来る。ここで、交流信号源15の周波数を変化させて最も交流電圧計16の測定値が大きい周波数が受信アンテナ2とコンデンサ10a～10dの合計静電容量による同調周波数であ

り、この同調周波数に於ける交流電圧計 16 の値を記録する。

次に、可変抵抗 12 の抵抗値を少し大きくしてから、前述と同様に交流信号源 15 の周波数を微調して交流電圧計 16 の測定値が最も大きくなる値を記憶する。

以下同様に、可変抵抗 12 の抵抗値を順次大きくしながら交流電圧計 16 の値を記録する作業を繰り返し、可変抵抗 12 の抵抗値とコンデンサ 10 a の交流信号に対するインピーダンスとの比が 1 となるまで測定し、更にその比が 10 倍、100 倍、1000 倍となるまで可変抵抗 12 の抵抗値を増加させて交流電圧計 16 の測定値を記録する。

図 3 は上記の測定結果をグラフにまとめたものであり、インピーダンス比—アンテナ利得特性図である。図 3 に於いて、X 軸は可変抵抗 12 の抵抗値とコンデンサ 10 a ~ 10 d の周波数に対するインピーダンスとの比率であり、Y 軸はアンテナ利得であって交流電圧計 16 の読みをデシベル表示したものであり、交流信号源 15 の出力電圧を基準の 0 dB として表している。

図 3 に於いて、20 は 1800 pF のコンデンサ 10 a に可変抵抗 12 を直列に接続したときのアンテナ利得特性である。ここで、抵抗／コンデンサインピーダンス比が非常に小さい 0.001 付近（すなわち可変抵抗 12 の抵抗値が非常に小さい領域）では、アンテナ利得は -30 dB 位であり、比較的高い利得を示している。しかし、図示する如く、抵抗／コンデンサインピーダンス比を大きくしていくとアンテナ利得は急激に低下し、抵抗／コンデンサインピーダンス比が 1 の領域では最もアンテナ利得が低下して -60 dB に達している。

更に、抵抗／コンデンサインピーダンス比が 1 を越えて増加するとアンテナ利得は再び上昇に転じ、抵抗／コンデンサインピーダンス比が 100 以上の領域（すなわち可変抵抗 12 の抵抗値が非常に大きい領域）では、アンテナ利得は再び -30 dB 位まで上昇している。同様に 21 は 1000 pF のコンデンサ 10 b に可変抵抗 12 を直列に接続したときのアンテナ利得特性である。尚、このとき、コンデンサ 10 a に接続されていた可変抵抗 12 は取り外され、コンデンサ 10 a はスイッチ 11 a に直接接続される。

つまり、図 3 に於いて、抵抗／コンデンサインピーダンス比が 1 以下の領域は、当該半導体スイッチ 5 の ON 抵抗の領域を示しており、反対に、抵抗／コンデン

サインピーダンス比が1以上の領域は、当該半導体スイッチ5のOFF抵抗の領域を示している。

ここで、アンテナ利得特性21を見ると、抵抗／コンデンサインピーダンス比が1の領域での減衰量は -54 dB 位であり、前述のアンテナ利得特性20と比較すると減衰量は多少軽減されてはいるが、コンデンサの静電容量が変わってもアンテナ利得特性の傾向に大きな差は無いことが分かる。同様に、アンテナ利得特性22は 560 pF のコンデンサ10cに可変抵抗12を直列に接続したときのアンテナ利得特性であり、アンテナ利得特性23は 100 pF のコンデンサ10dに可変抵抗12を直列に接続したときのアンテナ利得特性である。これらのアンテナ特性に於いても減衰量は異なるが、抵抗／コンデンサインピーダンス比が1の領域でアンテナ利得は最も低下しており、アンテナ利得特性の傾向は一致している。

次に、可変抵抗12とコンデンサインピーダンスとの比率が1の近傍で、アンテナ利得がなぜ最も低下するのかを説明する。

図2(C)に於いて、可変抵抗12がコンデンサ10aのインピーダンスと比較して無視できるほど小さい領域では、可変抵抗12の影響はほとんどないので、受信アンテナ2とコンデンサ10a～10dはLC並列共振回路として動作し、損失が少ないのでアンテナ利得は大きい(例えば比率0.01以下の領域)。しかし、可変抵抗12の抵抗値が大きくなると、可変抵抗12はLC並列共振回路の中で損失として働くので共振回路のQが小さくなり、この結果、アンテナ利得は低下する。

そして、可変抵抗12とコンデンサ10aのインピーダンス比が1の近傍では、可変抵抗12はコンデンサ10aに対して最も大きく影響するので、LC並列共振回路の損失も最も大きくなり、この結果、アンテナ利得は最も低下する。しかし、可変抵抗12とコンデンサ10aのインピーダンスの比が1を越えると、可変抵抗12によってコンデンサ10aはコンデンサとしての働きを妨げられ、可変抵抗12がコンデンサ10aのインピーダンスよりも十分に大きくなると(例えば比率100以上の領域)、コンデンサ10aはLC並列共振回路から切断されたことに等しくなり、LC並列共振回路のCは、コンデンサ10b～10dの3

個の合計静電容量だけとなる。この結果、共振周波数は多少ずれることになるが、可変抵抗 12 による損失は減少しアンテナ利得は再び高くなる。

次に、図 3 の実験結果を基に、図 2 (a)、(b) で示す N-Tr 5 の ON 抵抗 5 o n と OFF 抵抗 5 o f f の好ましい抵抗値を検証する。

ここで、電波を受信する同調装置の電気的特性で重要な要素は、高感度と高選択度であると言って良い。この観点からすると、同調装置のアンテナ利得は出来る限り高いことが好ましく、また、同調回路は損失が少なく Q 値が高いことが好ましい。

よって、図 3 のアンテナ利得特性から分かるように、N-Tr 5 の ON 抵抗 5 o n と OFF 抵抗 5 o f f の値は共に、コンデンサのインピーダンスとの比率が 1 の近傍にならないように決定されなければならない。すなわち、半導体スイッチとしての N-Tr 5 の ON 抵抗 5 o n の値は、N-Tr 5 に直列に接続されるコンデンサ 4 のインピーダンスより小さいことが好ましい(すなわち比率 1 以下)。また同様に、N-Tr 5 の OFF 抵抗 5 o f f の値は、N-Tr 5 に直列に接続されたコンデンサ 4 のインピーダンスより大きいことが好ましい(すなわち比率 1 以上)。

次に、N-Tr 5 の ON 抵抗 5 o n と OFF 抵抗 5 o f f の更に好ましい値を詳細に検証する。図 4 は、図 3 のインピーダンス比—アンテナ利得特性の部分拡大図であり、図 4 (a) は 1800 pF のコンデンサ 10 a を用いたアンテナ利得特性 20 の抵抗／コンデンサインピーダンス比 0.01 以下の部分拡大図であり、図 4 (b) は同じく 1800 pF のコンデンサ 10 a を用いたアンテナ利得特性 20 の抵抗／コンデンサインピーダンス比 250 位以上の部分拡大図である。

図 15 は、1800pF のコンデンサ 10 a を用いたアンテナ利得特性 20 の抵抗／コンデンサインピーダンス比 0.03~1 下の部分拡大図であり、図 16 は、同じく 1800pF のコンデンサ 10 a を用いたアンテナ利得特性 20 の抵抗／コンデンサインピーダンス比 1~31 の部分拡大図である。

図 15 において抵抗／コンデンサインピーダンス比 1 位でのアンテナ利得は 60 dB であり、この比率 1 は可変抵抗 12 とコンデンサインピーダンスが等しい値(すなわちもっとも理想的でない ON 抵抗)である。よって、アンテナ利得—

19

60 d Bを最悪なアンテナ利得として定め、該最悪なアンテナ利得から2 d B増幅した-58 d Bにおける抵抗/コンデンサインピーダンス比は図15から0.6位(T1のポイント)であるので、ON抵抗5 Ω とコンデンサ4のインピーダンス比は0.6以下であることが好ましい。

また、最悪なアンテナ利得-60 d Bから、4 d B増幅した-56 d Bにおける抵抗/コンデンサインピーダンス比は、0.43位(T2のポイント)であるので、ON抵抗5 Ω とコンデンサ4のインピーダンス比は図4(a)から0.43以下であることが更に好ましい。

また、最悪なアンテナ利得-60dBから、10dB増幅した-50 d Bにおける抵抗/コンデンサインピーダンス比は、0.19位(T3のポイント)であるので、ON抵抗5 Ω とコンデンサ4のインピーダンス比は図4(a)から0.19以下であることが更に好ましい。

また、最悪なアンテナ利得-60dBから、20dB増幅した-40dBにおける抵抗/コンデンサインピーダンス比は、0.03位(T4のポイント)であるので、ON抵抗5 Ω とコンデンサ4のインピーダンス比は図4(a)から0.03以下であることが更に好ましい。

図4(a)に於いて、抵抗/コンデンサインピーダンス比0.001位でのアンテナ利得は-29.5 d Bであり、この比率0.001は、可変抵抗12がほぼ零に近い値(すなわち理想的なON抵抗)である。よって、アンテナ利得-29.5 d Bを理想的なアンテナ利得(矢印C)として定め、該理想的なアンテナ利得から3 d B減衰した-32.5 d Bにおける抵抗/コンデンサインピーダンス比は図4(a)から0.0084位(N3のポイント)であるので、ON抵抗5 Ω とコンデンサ4のインピーダンス比は0.0084以下であることが好ましい。

また、理想的なアンテナ利得-29.5 d Bから、2 d B減衰した-31.5 d Bにおける抵抗/コンデンサインピーダンス比は、0.0057位(N2のポイント)であるので、ON抵抗5 Ω とコンデンサ4のインピーダンス比は図4(a)から0.0057以下であることが更に好ましい。また、理想的なアンテナ利得-29.5 d Bから、1 d Bだけ減衰した-30.5 d Bにおける抵抗/

20

コンデンサインピーダンス比は、0.003位（N1のポイント）であるので、ON抵抗 50Ω とコンデンサ4のインピーダンス比は図4（a）から0.003以下であることが更に好ましい。

次に図16において抵抗／コンデンサインピーダンス比1位でのアンテナ利得は60dBであり、この比率1は可変抵抗12とコンデンサインピーダンスが等しい値（すなわちもっとも理想的でないON抵抗）である。よって、アンテナ利得−60dBを最悪アンテナ利得として定め、該最悪なアンテナ利得から2dB増幅した−58dBにおける抵抗／コンデンサインピーダンス比は、図16から2.8位（T5のポイント）であるので、ON抵抗 50Ω とコンデンサインピーダンス4のインピーダンス比は2.8以上であることが好ましい。

また、最悪なアンテナ利得−60dBから、4dB増幅した−56dBにおける抵抗・コンデンサインピーダンス比は、3.9位（T6のポイント）であるので、ON抵抗 50Ω とコンデンサ4のインピーダンス比は図4(a)から3.9以上であることが更に好ましい。

また、最悪なアンテナ利得−60dBから、10dB増幅した−50dBにおける抵抗／コンデンサインピーダンス比は、9位（T7のポイント）であるので、ON抵抗 50Ω とコンデンサ4のインピーダンス比は図4(a)から9以上であることが更に好ましい。

また、最悪なアンテナ利得−60dBから、20dB増幅した−40dBにおける抵抗／コンデンサインピーダンス比は、31位（T8のポイント）であるので、ON抵抗 50Ω とコンデンサ4のインピーダンス比は図4(a)から31以上であることが更に好ましい。

次に図4（b）に於いて、アンテナ利得−26.2dBは、グラフの領域からは外れているが、可変抵抗12の値がほぼ無限大に近い（すなわち理想的なOFF抵抗）ときのアンテナ利得である。よって、−26.2dBを理想的なアンテナ利得（矢印D）として定め、該理想的なアンテナ利得から3dB減衰した−29.2dBにおける抵抗／コンデンサインピーダンス比は図4（b）から300位（F3のポイント）あるので、OFF抵抗 50Ω とコンデンサ4のインピーダンス比は300以上であることが好ましい。

また、理想的なアンテナ利得 -26.2 dB から、 2 dB 減衰した -28.2 dB における抵抗／コンデンサインピーダンス比は図4 (b) から450位 (F2のポイント) であるので、OFF抵抗50 f fとコンデンサ4のインピーダンス比は450以上であることが更に好ましい。また、理想的なアンテナ利得 -26.2 dB から、 1 dB だけ減衰した -27.2 dB における抵抗／コンデンサインピーダンス比は図4 (b) から900位 (F1のポイント) であるので、OFF抵抗50 f fとコンデンサ4のインピーダンス比は900以上であることが更に好ましい。

以上のように、図2 (C) で示した半導体スイッチとしてのN-T rのON抵抗とOFF抵抗の実験結果から、それぞれのON抵抗とOFF抵抗を好ましい値に設定することにより、図1で示す本発明の第1の実施形態である同調回路1の感度や選択度を向上させることが出来る。尚、本発明の第1の実施形態に於いて、半導体スイッチ5としてNチャンネルMOSトランジスタを用いたが、このタイプのトランジスタに限定されるものではなく、PチャンネルMOSトランジスタでも良い。また、NチャンネルとPチャンネルの一对のMOSトランジスタを組み合わせたトランスミッションゲートでも良く、更にはバイポーラトランジスタであっても良い。

また、図1に於けるN-T r 5 a～5 fは、そのON抵抗を上記の基準で選択することにより、トランジスタサイズを最小限に小さくすることが出来る。例えば、図1に於いて、コンデンサ4 aの静電容量は 12.5 pF としたが、このインピーダンスは周波数を 40 KHz とすると約 $300\text{ K}\Omega$ である。ここで、前述の実験結果から抵抗／コンデンサインピーダンス比の好ましい値 (例えばアンテナ利得 3 dB 減衰での値) は 0.0084 以下であるので、そのON抵抗は $300\text{ K}\Omega \times 0.0084 = 2.5\text{ K}\Omega$ となる。N-T r 5 a～5 fのトランジスタに於いてON抵抗 $2.5\text{ K}\Omega$ は、十分に小さなトランジスタサイズによって実現できる。

また、最も大きな静電容量を持つコンデンサ4 fは 400 pF としたが、このインピーダンスは同様に計算すると約 $10\text{ K}\Omega$ であり、同様に抵抗／コンデンサインピーダンス比を 0.0084 とすると、そのON抵抗は 84Ω である。この

ON抵抗 $84\ \Omega$ は、 $N-T r\ 5\ a \sim 5\ f$ のトランジスタに於いて一定のサイズを確保すれば、十分に実現できる大きさである。

すなわち、本発明により直列に接続されるコンデンサ 4 の静電容量に応じて、半導体スイッチ 5 としての $N-T r$ のトランジスタサイズを最小限に選定出来るので、同調 IC 3 のチップサイズを可能な限り小さく設計することが出来、コストダウンや同調装置の小型化を実現できる。また、 $N-T r$ のトランジスタサイズを小さくできるために、 $N-T r$ によって生じる寄生容量や浮遊容量を最小限に減らすことが可能となり、微小容量から大容量までを可変出来る、優れた同調回路を有する同調装置を実現できる。

次に、図 1 に於ける $N-T r\ 5\ a \sim 5\ f$ の OFF 抵抗についても同様な効果を述べる事が出来る。例えば、前述の $12.5\ pF$ のコンデンサ 4 a に対する $N-T r\ 5\ a$ の OFF 抵抗の好ましい値（例えばアンテナ利得 $3\ dB$ 減衰での値）は、抵抗／コンデンサインピーダンス比が 300 以上であるので、 $300\ K\Omega \times 300 = 90\ M\Omega$ となる。ここで、ON抵抗 $2.5\ K\Omega$ の MOS トランジスタに於いて、OFF 抵抗 $90\ M\Omega$ は低電圧電源でも十分に実現できる値である。

また、 $400\ pF$ のコンデンサ 4 f に対する $N-T r\ 5\ f$ の OFF 抵抗の好ましい値も同様に計算すると、 $10\ K\Omega \times 300 = 3\ M\Omega$ となる。この OFF 抵抗 $3\ M\Omega$ は ON抵抗 $84\ \Omega$ の MOS トランジスタに於いて、低電圧電源でも十分に実現できる値である。このように、直列に接続されるコンデンサに対応して最適な ON抵抗、OFF 抵抗を選択することにより、低電圧駆動であっても優れた性能を有する同調装置を実現することが出来る。

また、同調 IC 3 に内蔵される複数のコンデンサ 4 a \sim 4 f は、前述した如く、 SiO_2 等によって成る酸化膜を誘電体としたコンデンサであるので、空乏層を利用したコンデンサと比較してリーク電流が極めて低いので、損失の非常に少ない優れたコンデンサである。この結果、受信アンテナ 2 とによって成る同調回路の Q を高くすることが出来、受信電波に対する選択度が高く安定性に優れた同調装置を実現することが出来る。

次に、同調 IC 3 の内部に形成される複数のコンデンサの総静電容量の上限値について説明する。同調 IC 3 のチップサイズは実装効率を考慮すると極端に大

きくすることは出来ず、また、チップサイズの大きさは即コストアップにも繋がるので、出来るだけ小さい方が好ましい。これらのことから同調 I C 3 のチップサイズは、2016 サイズのチップ部品と同等程度、すなわちその大きさは $2\text{ mm} \times 1.6\text{ mm}$ 以下が好ましい。ここで、前述した如く、コンデンサは酸化膜を誘電体として形成され、この酸化膜の厚さを 120 \AA 程度とすると、そのチップサイズ内で形成され得る最大の総静電容量は 9600 pF 程度となる。よって、同調 I C 3 の総静電容量は、 9600 pF 以下であることが好ましい。

尚、本発明に於ける当該コンデンサは、酸化膜に限定されるものではなく、窒化膜その他誘電体材料で構成される膜で構成されるものであっても良い。

また更に、同調 I C 3 は実装用のパッドや半導体スイッチ、カウンタ回路等の制御手段を含むので、これらの占有面積を差し引くとコンデンサとして使用できる面積は $1.6\text{ mm} \times 1.2\text{ mm}$ 程度であり、この面積から総静電容量を算出すると 5760 pF 程度となる。よって、同調 I C 3 の総静電容量は、 5760 pF 以下であることが好ましい。また更に、同調 I C 3 は実装のためのポッティング樹脂の広がり大きさや、モールド材の厚み等を考慮すると、チップサイズは更に小さくする必要がある、この条件から内蔵するコンデンサの総静電容量を算出すると 960 pF 程度となる。よって、同調 I C 3 の総静電容量は、 960 pF 以下であることが更に好ましい。

次に、受信アンテナ 2 のインダクタンスの下限值について説明する。本発明の第 1 の実施形態である同調回路 1 を電波修正時計の同調装置として用いた場合、電波修正時計が受信する標準電波の中で最も高い送信周波数を出力している送信局はドイツの DCF 77 局であり、その送信周波数は 77.5 KHz である。

また、前述した如く、同調 I C 3 の総静電容量はチップサイズ等から考慮して最大で 9600 pF 程度であることが好ましい。これらの二つの条件から受信アンテナ 2 のインダクタンスを算出すると、 0.44 mH 程度となる。よって、受信アンテナ 2 のインダクタンスは、 0.44 mH 以上であることが好ましい。

また更に前述した如く、同調 I C 3 の総静電容量は、実装用パッドや制御手段の占有面積を考慮すると 5760 pF 程度であり、この条件から受信アンテナの 2 のインダクタンスを算出すると、 0.73 mH 程度となる。

よって、受信アンテナ2のインダクタンスは、0.73mH以上であることが好ましい。また更に前述した如く、同調IC3の総静電容量は、同調IC3の実装のためのポッティング樹脂の広がり大きさ等を考慮すると960pF程度となり、この条件から受信アンテナ2のインダクタンスを算出すると、4.4mH程度となる。よって、受信アンテナ2のインダクタンスは、4.4mH以上であることが更に好ましい。

次に、受信アンテナ2のインダクタンスの上限値について説明する。

本発明の第1の実施形態である同調装置1を電波修正時計の同調装置として用いた場合、電波修正時計が受信する標準電波の中で最も低い送信周波数を出力している送信局は日本の福島局であり、その送信周波数は40KHzである。また、同調IC3に内蔵されるコンデンサを全て受信アンテナ2から切断したときの、同調IC3内部での寄生容量や浮遊容量の合計値は非常に小さく4pF位と想定される。これらの二つの条件から受信アンテナ2のインダクタンスを算出すると、4000mH程度となる。よって、受信アンテナ2のインダクタンスは、4000mH以下であることが好ましい。

また更に、受信アンテナ2の寄生容量も加味すると、同調IC3に内蔵されるコンデンサを全て受信アンテナ2から切断したときの総静電容量は、14pF程度である。この条件から受信アンテナ2のインダクタンスを算出すると、1100mH程度となる。よって、受信アンテナ2のインダクタンスは、1100mH以下であることが更に好ましい。

以上のように、本発明の第1の実施形態によれば、一つの半導体基板に半導体スイッチとリーク電流の極めて少ないコンデンサとを組み合わせにより、Q値が高く安定性に優れ、同調周波数の可変範囲が広い同調装置を実現することが出来る。また、半導体スイッチのON抵抗とOFF抵抗を、該半導体スイッチに接続されるコンデンサのインピーダンスに応じて好ましい値に選択するならば、同調回路の損失を更に減少させて高感度な同調装置を実現させることが出来る。また、半導体スイッチのON抵抗とOFF抵抗の選択により、トランジスタサイズを最小限に抑え留ことが出来るので、半導体基板としての同調ICの実装面積の削減、コストダウンが可能であり、更に、同調ICの浮遊容量や寄生容量を最小限に減

らすことが出来るので、同調回路の静電容量を微小容量から大容量まで可変出来る優れた同調装置を提供することが出来る。

また、同調回路の複数のコンデンサは、半導体基板内に形成されるので、外付け部品を大幅に削減でき、同調装置としての小型化や製造工程の簡略化が可能である。また、同調回路を形成する複数のコンデンサの切り替えは、半導体スイッチとしてのMOSトランジスタ等によって実現できるので、その切り替えのための電源は、他の回路と共通な単一電源で良く、他のマイナス電源等を必要としないため電源回路を簡略化でき、低消費電力化、小型化、コストダウン等に効果が大きい。

此处で、本発明に於いてアンテナ特性を評価する際に使用される当該アンテナの利得とQ値の測定方法の一具体例を図17乃至図20を参照しながら説明する。

即ち、ヒューレッドパッカード社（HP）製のネットワークアナライザ（4195A）と同ヒューレッドパッカード社（HP）製の高周波プローブ（85024A）及びナショナル（松下電器）の送信アンテナ（テストループ 75Q，VQ-085F）とを、図17に示す様に接続してアンテナ評価回路を構成し、当該送信アンテナ（テストループ 75Q，VQ-085F）の近傍に被測定アンテナを接続する当該高周波プローブ（85024A）とサンプル支持部を配置し、当該サンプル支持部に所定の被測定アンテナをセットした後、当該送信アンテナ（テストループ 75Q，VQ-085F）より所定の電波を発信し、当該被測定アンテナの出力を当該高周波プローブ（85024A）で検出して当該ネットワークアナライザ（4195A）で所定のアンテナ評価をする様に構成したものである。

上記の評価装置においては、当該被測定アンテナ構造体2と当該送信アンテナ（テストループ 75Q，VQ-085F）との距離を図18に示す様に送信ループアンテナの下端から11Cm離れた位置に評価用の受信アンテナを設置して測定すると同時に、図19に示す様に、当該被測定アンテナ構造体2と金属外装3とを接触させて測定した。

尚、本具体例で使用した当該金属外装として使用される金属材料としては、SUS，Ti，Ti合金、BS等の5mm厚の板材を用いた。

更に、上記具体例に於いて、当該送信アンテナ（テストループ 75 Q，VQ-085 F）から発信される電波の周波数は、40 KHz 用の共振アンテナを測定する方法を図 20 参照しながら説明する。

即ち、当該ネットワークアナライザ（4195 A）から当該送信アンテナ（テストループ 75 Q，VQ-085 F）に一定の出力で周波数を 20～60 KHz の範囲でスイープさせ、被測定アンテナ 2 の出力を高周波プローブ（85024 A）を介してモニターし図 20 に示す様な出力結果を得る。

ここで、アンテナの利得は、送信アンテナへの入力電圧振幅と被測定アンテナの出力電圧振幅の比で表し、図 20 中、最もアンテナ出力の高い周波数が共振周波数（ f_0 ）となり、当該アンテナ出力が最も高い時点での上記比の値をアンテナ利得とした。

又、図 20 中、A で示されるレベルは、当該最もアンテナ出力の高い点から約 3 dB（ $1/\sqrt{2}$ ）低いレベルで、その出力レベルを与える周波数を f_1 、 f_2 とすると、Q 値は、以下の様に計算されるものである。

$$Q \text{ 値} = \text{共振周波数 } f_0 \div (f_2 - f_1)$$

従って、上記の測定結果より f_1 、 f_2 を求め共振周波数 $f_0 \div (f_2 - f_1)$ の式より Q 値を算出した。

次に、図 5 に基づいて本発明の第 2 の実施形態である同調回路 1 の構成を説明する。図 5 は本発明の第 2 の実施形態である同調装置の回路図であり、図中、複数の半導体スイッチ 5 と、当該複数の半導体スイッチ 5 と各々直列に接続される複数の第 1 のコンデンサ 4 と当該複数の第 1 のコンデンサ 4 群による合計静電容量を所定の値に設定するために当該個々の半導体スイッチ 5 の開閉を制御するスイッチ制御手段 6 とが一つの半導体基板 200 上に形成されており、かつ当該複数の第 1 のコンデンサ 4 のそれぞれが、並列に接続されている当該半導体基板 200 外に設けられているアンテナ部 2 を構成するコイル部 201 と、更に当該半導体基板 200 上若しくは当該半導体基板 200 外に設けられており、当該第 1 のコンデンサ 4 群と並列に当該コイル部 201 に接続されている固定容量或いは可変容量を有する第 2 のコンデンサ 7 とで構成されている電波修正時計の受信部に使用される同調回路 1 が示されている。

即ち、本発明に於ける第2の具体例としての同調回路1は、上記した第1の具体例である同調回路1に、更に当該半導体基板200上若しくは当該半導体基板200外に、当該第1のコンデンサ群4と並列に当該コイル部201と接続されている固定容量或いは可変容量を有する少なくとも一つの第2のコンデンサ7が設けられているものである。

更に、本発明に於ける当該第2の具体例に於ける当該同調回路1に於いては、当該第2のコンデンサ7は、当該第1のコンデンサ4が受ける制御とは異なる制御を受ける様に構成されている事が好ましく、又、当該第2のコンデンサ7の容量は、当該第1のコンデンサ4のそれぞれが持つ容量とは異なるものである事が望ましい。

特には、当該第2のコンデンサの静電容量は、当該第1のコンデンサの静電容量よりもかなり大きく設定されている事が望ましい。

又、本発明に於ける当該第2の具体例に於ける当該第2のコンデンサ7の少なくとも一つは、適宜のスイッチ手段5fを有しており、当該スイッチ手段5fを当該制御手段6により制御されるように構成されているものである。

本具体例に於いては、当該スイッチ手段5fは、第1の具体例と同様に当該半導体基板200上に設けられた半導体スイッチ5で有っても良く、或いは当該半導体基板200から離れた位置に形成されたもので有ってもよい。

更に、当該スイッチ手段5fは、当該制御手段6とは異なる制御手段により制御されるように構成されているもので有っても良い。

又、当該第1のコンデンサ4と当該第2のコンデンサ7とは、互いに異なる制御システムで駆動される様に構成されていることが望ましい。

以下に、本発明に於ける当該第2の具体例に於ける同調回路1の構成を詳細に説明するが、第1の実施形態と同一要素には同一番号を付し重複する説明は省略する。

即ち、図5に於いて、1は本発明の第2の実施形態である同調回路である。7は同調IC3の外部に配置される第2のコンデンサであり、該第2のコンデンサ7の一方の端子は同調IC3から出力される同調信号P10に接続され、他方の端子は同調IC3の内部にある半導体スイッチとしてのN-Tr5fのドレイン

端子Dに接続される。尚、当該第2のコンデンサ7は、チップタイプのセラミックコンデンサが好ましいが、当該第2のコンデンサ7としては、静電容量が固定化されているものであっても、静電容量は可変式のコンデンサで有っても良い。

又、かかる第2のコンデンサ7は、当該半導体基板200上に形成されたものであっても良いことは言うまでもない。

ここで、同調IC3に内蔵される第1のコンデンサ4a～4eの静電容量を、コンデンサ4aは12.5 pF、コンデンサ4bは25 pF、コンデンサ4cは50 pF、コンデンサ4dは100 pF、コンデンサ4eは200 pFとする。

そして、同調IC3の外部に配置される第2のコンデンサ7の静電容量を400 pFとする。この場合、N-Tr 5a～5fによって可変される静電容量の分解能及び最大値は、前述した第1の実施形態と等しいので同調装置としての性能は変わらないが、同調IC3の内部に形成される第1のコンデンサの総静電容量は387.5 pFとなって半減するので、同調IC3のチップサイズを大幅に縮小出来、実装効率の向上やコストダウンを実現することが出来る。

また、同調IC3に内蔵される第1のコンデンサの数も静電容量の合計値も減らさずに、外部に配置される第2のコンデンサ7を追加する形で接続すれば、合計の静電容量を倍増させることが出来るので、同調周波数の可変範囲を更に広げることが可能となる。また、本発明の第2に具体例に於いては、同調IC3の外部に配置される第2のコンデンサの数量を1個としたが、これに限定されず、2個以上の複数であっても良い。更には、同調IC3の内部に形成される第1のコンデンサ4a～4eを全て削除し、全てのコンデンサを同調IC3の外部に配置しても良い。これによって、同調回路1の部品点数は増えるが、同調IC3のチップサイズは最小限に出来るので、同調IC3の大幅なコストダウンが可能となる。

此处で、本発明に於ける当該第2の具体例に於ける同調回路1のより詳細な具体例を図13及び図14を参照して説明する。

即ち、上記した図12で示された従来の同調回路からなる本同調システムでは対応しきれない容量のアンテナを本同調システムの用いる場合、図13に示す具体例のように市販品のコンデンサC7,C8,C9を当該半導体基板200から離れ

た状態で接続し、同調を行うように構成されているものであって、接続する市販品のコンデンサの容量は $C7=1800\text{ p F}$ 、 $C8=1500\text{ p F}$ 、 $C9=4290\text{ p F}$ ($3900\text{ p F}+390\text{ p F}$) を予め接続しておく。

当該同調システム内の容量は $C1=20\text{ p F}$ 、 $C2=40\text{ p F}$ 、 $C3=80\text{ p F}$ 、 $C4=160\text{ p F}$ 、 $C5=320\text{ p F}$ 、 $C6=640\text{ p F}$ とする。

かかる設定に於いて、時刻情報を含む標準電波の周波数が 77.5 KHz である当該標準電波を受信する為に同調を行う場合、 $SW7,8$ はOFFし、 $C1$ が接続された状態で 77.5 KHz の信号を送り、アンテナの出力が最も高いスイッチの組み合わせが、同調設定値となる。

又、 60 KHz の同調を行う場合、 $SW7$ をON、 $SW8$ はOFFし、 $C1, C2$ が接続された状態で 60 KHz の信号を送り、アンテナの出力が最も高いスイッチの組み合わせが、同調設定値となる。

更に、 40 KHz の同調を行う場合、 $SW7, SW8$ をONし、 $C1, C2, C3$ が接続された状態で 40 KHz の信号を送り、アンテナの出力が最も高いスイッチの組み合わせが、同調設定値となる。

以上のように本同調システムで3局の同調を行うと共振周波数は3回程度求めるだけで済み、コンデンサも半田付けも一度に3つ接続するだけでよいので調整、実装工程が短くなる。

また、上記の内容は3局受信のことを説明しているが、これが3局以上更に2局、1局でも同じことである。

また、図14に示すような更に別の具体例に於いては、当該アンテナ部2と波の同調回路1との間で当該半導体基板200から離れた位置に別の第2のコンデンサ $C10$ を追加して本同調システムで周波数調整を行い、1局又は2局以上の受信周波数に合わせることも当然可能である。

この場合、上記した様に、第2のコンデンサ $C8$ 、 $C9$ 、 $C10$ は、当該半導体基板200上に形成されてもよく、或いは当該半導体基板200外に形成されているものであっても良い。

本発明に於ける当該同調回路1は、上記した様に、アンテナ特性が優れているので、当該アンテナ部2も含めて、金属材料によって構成された金属外装部の内

部で使用される事が可能である。

次に、本発明の同調装置を組み込んだ本発明の電波修正時計 4 0 について説明する。

図 6 は同調回路 1 を含む同調装置を組み込んだ本発明の第 3 の実施形態としての電波修正時計 4 0 と、標準電波を送信する送信局 4 5 との関係を示した説明図である。図 6 に於いて、4 0 はアナログ表示方式の電波修正時計である。4 1 は金属材料によって成る金属外装であり、4 2 は表示手段としての表示部であり、秒針 4 2 a、分針 4 2 b、時計針 4 2 c、及び日付を表示する日付表示部 4 2 d によって構成される。2 は超小型の受信アンテナであり、好ましくは金属外装 4 1 の内部の 1 2 時方向に配置される。4 3 は時刻や日付を修正するリユーズである。4 4 は使用者（図示せず）の腕に装着するためのバンドである。

4 5 は標準電波を送信する送信局である。4 6 は標準電波を放射する送信アンテナであり、4 7 は標準時を高精度で計時する原子時計である。4 8 は送信アンテナ 4 6 から送信される時刻情報としての標準時を搬送する標準電波である。標準電波 4 8 は通常数十 KHz の長波によってなり、半径 1 0 0 0 Km 程度の範囲で受信することが出来る。尚、標準電波 4 8 の送信周波数や時刻情報フォーマットは、各国又は各地域の送信局でそれぞれ個別に設定されている。

ここで、電波修正時計 4 0 で標準電波 4 8 を受信するには、前述した如く、受信アンテナ 2 が金属外装 4 1 の内部の 1 2 時方向に配置されているので、好ましくは電波修正時計 4 0 の 1 2 時方向を送信局 4 5 がある方向に向け、受信開始ボタン（図示せず）を操作する。電波修正時計 4 0 は標準電波 4 8 を受信すると、標準電波 4 8 の時刻情報フォーマットに対応する解読アルゴリズムを用いて解読し、秒分時や日付等の時刻情報と必要に応じて閏年やサマータイムの有無データ等を取得し、取得した時刻情報を計時して表示部 4 2 によって時刻情報や日付を表示する。尚、標準電波 4 8 の受信は深夜などのノイズが少なく受信環境の良い時刻に定期的に実行させることが好ましい。

次に図 7 に基づいて本発明の第 3 の実施形態である電波修正時計 4 0 の回路ブロック構成を説明する。図 7 に於いて、1 は本発明の第 1 の実施形態である同調回路である。5 0 は電波修正時計 4 0 を制御する制御手段としての制御部である。

51は制御部50に含まれる受信ICであり、増幅回路（図示せず）、フィルタ回路（図示せず）、デコード回路（図示せず）等を内蔵している。52は制御部50に含まれるマイクロコンピュータ（以下マイコンと略記）であり、電波修正時計40全体を制御する。

53は制御部50に含まれる同調記憶手段としての記憶回路であり同調制御情報を記憶する。54は制御部50に含まれる基準信号源であり水晶発振器（図示せず）を内蔵して電波修正時計の基準信号を出力する。42は前述のアナログ表示方式の表示手段としての表示部であり、図示しないが駆動モータや輪列等を内蔵する。55は電源部であり、同調装置1、表示部42、制御部50等に必要な電源を供給する。

次に、各ブロックの接続関係を説明する。同調回路1の内部は既に第1の実施形態として説明しているので省略する。制御部50の受信IC51は、同調回路1の同調IC3からの出力である同調信号P10を入力し、デジタル信号に変換された復調信号P11を出力する。記憶回路53は同調制御情報としての同調データP12を出力し、基準信号源54は32,768Hzの基準信号P13を出力する。制御部50のマイコン52は、復調信号P11、同調データP12、基準信号P13を入力して、クロック信号P8、イネーブル信号P9、時刻情報としての時刻データP14を出力する。表示部42はマイコン52からの時刻情報としての時刻データP14を入力して時刻表示を行う。

次に、図7に基づいて、電波修正時計40の動作を説明する。図7に於いて、電源部55が電源ライン（図示せず）を介して各回路ブロックに電力を供給すると、マイコン52は初期化処理を実行して各回路ブロックを初期化する。この結果、マイコン52の内部の時刻情報は初期化されてAM00:00:00となり、この初期化された時刻情報に基づいて時刻データP14を出力する。表示部42の秒針42a、分針42b、時針42cは、時刻データP14を入力して基準位置であるAM00:00:00に移動する。また、日付表示部42dも基準位置に移動する。

次に、基準信号源54は基準信号P13の出力を開始する。マイコン52は基準信号P13を入力して内部で分周し、該基準信号P13に基づいて時刻情報の

計時を開始し、該時刻情報に基づいて時刻データ P 1 4 を出力して表示部 4 2 に伝達する。表示部 4 2 は時刻データ P 1 4 を入力して時、分、秒、及び日付等の表示を順次行う。また、マイコン 5 2 は、外部からの操作や一定時間毎のタイマー等によって時刻修正モードに移行し、標準電波を受信するために受信動作を開始する。

以降、時刻修正モードの動作を説明する。電波修正時計 4 0 が時刻修正モードになるとマイコン 5 2 は、イネーブル信号 P 9 を同調回路 1 の同調 I C 3 と制御部 5 0 の受信 I C 5 1 に対して出力する。同調 I C 3 はイネーブル信号 P 9 によってリセット状態が解除され、クロック信号 P 8 の入力を受け付けるスタンバイ状態となる。受信 I C 5 1 はイネーブル信号 P 9 によって増幅回路（図示せず）、フィルタ回路（図示せず）、デコード回路（図示せず）に電源を供給しスタンバイとなる。次に、マイコン 5 2 は記憶回路 5 3 にアクセスして同調制御情報としての同調データ P 1 2 を取得し、該同調データ P 1 2 に基づいて同調回路 1 の同調周波数を調整するために、クロック信号 P 8 を出力する。

次に、同調回路 1 の同調 I C 3 は、クロック信号 P 8 を入力して、前述した如く、クロック信号 P 8 のパルス数に応じて同調 I C 3 に内蔵されるコンデンサ 4 a ~ 4 f を切り替え、受信アンテナ 2 とによる同調周波数を可変して目的の標準電波を選択し受信する。次に、目的の標準電波が受信されると同調 I C 3 は同調信号 P 1 0 を出力し、受信 I C 5 1 に入力する。受信 I C 5 1 は同調信号 P 1 0 を入力して増幅し、フィルタ回路によってノイズ成分等を除去し、更にデコード回路によってデジタル信号に変換し、復調信号 P 1 1 を出力する。

次に、復調信号 P 1 1 を入力したマイコン 5 2 は、内部に記憶している解読アルゴリズムを用いて復調信号 P 1 1 を解読し、時分秒日付等の標準時情報を得てマイコン 5 2 の内部に記憶している時刻情報を修正し、正しい標準時を記憶する。次に表示部 4 2 は標準時に修正された時刻データ P 1 4 を入力し、表示時刻を正しく修正する。尚、記憶回路 5 3 は、フラッシュメモリ等による不揮発性メモリが書き換えも可能で使い易いが、コストの安いヒューズ ROM、又は、マイコン 5 2 等を実装するプリント基板（図示せず）の導電パターンを加工するパターンカット手段であっても良い。

以上のように、制御部 50 のマイコン 52 は、記憶回路 53 の同調制御情報に基づいて同調回路 1 を制御し、該同調回路 1 の同調回路を調整してその同調周波数を、目的とする標準電波の送信周波数に高精度に合わせ込むことが出来るので、高感度で安定性の高い標準電波の受信を実現出来、信頼性の高い電波修正時計を提供することが出来る。

次に、電波修正時計 40 を金属外装 41 に組み込んだ場合の同調回路 1 の構成について説明する。本発明の電波修正時計 40 は、図 6 で前述した如く金属外装 41 に覆われ、同調回路 1、表示部 42、制御部 50 等は機械的に保護されている。ここで、外装の材質としては電波を通しやすいプラスチック材料を用いた方が、アンテナ利得を高くでき標準電波を受信し易い。しかし、プラスチック材料は硬度が低いために外装に傷が付き易く、また、防水性にも問題があり、更には、高級感を持たせることが難しいという欠点もある。これらの欠点を解消するために金属外装を使用することが好ましいが、金属外装は電波を通しにくいためにアンテナ利得が低下するという大きな問題がある。

この金属外装 41 を用いることによって生じるアンテナ利得の低下を解決する手段として、受信アンテナ 2 の導線の巻き数を増やすことが効果的である。この理由は電磁誘導の原理に基づくものであり、コイルに誘起される起電力はコイルの巻き数に比例して増加することが知られている。すなわち、金属外装を使用することによって、外装内部に配置されている受信アンテナ 2 への標準電波による磁界はかなり減衰してしまうが、受信アンテナ 2 の導線の巻き数を増やすことによって、受信アンテナ 2 に誘起される起電力を増やすことが出来るので、磁界の減衰を補いアンテナ利得の低下を防ぐことが出来る。

ここで、本出願人は金属外装 41 によるアンテナ利得の低下を防ぐために、受信アンテナ 2 の導線の巻き数をどの程度増やせば良いかを様々な条件の基に検証したところ、受信アンテナ 2 のインダクタンスが 20 mH 以上であれば、アンテナ利得の低下を補うことが出来るというデータを得た。このため、電波修正時計に金属外装を用いる場合の受信アンテナ 2 のインダクタンスは、20 mH 以上であることが好ましい。しかし、受信アンテナ 2 のインダクタンスを増加させると、該受信アンテナ 2 と対になって同調回路を形成するコンデンサ（例えば、図 1 の

コンデンサ 4 a ~ 4 f) の合計静電容量とその静電容量の最小分解能をかなり小さくする必要が生じる。

例えば、同調回路 1 に於いて、受信アンテナ 2 のインダクタンスを 20 mH とし、同調回路の同調周波数を標準電波で最も高い送信周波数である 77.5 KHz としたとき、コンデンサ 4 a ~ 4 f の合計静電容量は 200 pF 前後となり、また、最小分解能は 1 pF 位が必要となる。このように微少な静電容量を切り替えるには、浮遊容量や寄生容量を出来る限り無くす必要があるが、本発明の同調装置は前述した如く、同調 IC 3 の内部の浮遊容量や寄生容量を最小限に減らすことが出来るので、受信アンテナ 2 のインダクタンスが 20 mH、またはそれ以上であっても、十分に対応できる同調回路を形成することが可能である。

以上のように、本発明の第 3 の実施形態の電波修正時計は、外装に傷が付きにくく、防水性にも優れ、且つ、高級感を持たせることの出来る金属外装 41 を用いることが出来るので、電波修正時計 40 の製品としての品質を高める上でその効果は大きい。尚、本発明の電波修正時計 40 は、同調回路 1 を制御して同調周波数を可変し、目的の標準電波に対して最適な同調周波数の調整を実現させているが、この調整手段だけでなく、送信周波数の異なる複数の標準電波を任意に選択する標準電波選択手段として応用することも可能である。

具体的には、日本国内に於いて標準電波を送信する送信局は二つあり、一つは福島局であって送信周波数は 40 KHz であり、他の一つは九州の佐賀局であって送信周波数は 60 KHz である。よって、電波修正時計を日本国内で使用する場合、上記二つの送信局からの標準電波を任意に受信することが望ましい。この送信周波数の異なる複数の標準電波を受信する手段として、マイコン 52 からのクロック信号 P8 のパルス数を可変し、同調 IC 3 に内蔵される N-Tr 5 a ~ 5 f を開閉してコンデンサ 4 a ~ 4 f を切り替え、同調 IC 3 の同調周波数を、目的とする標準電波の送信周波数に合わせて受信することが出来る。これにより、複数の標準電波を任意に選択して受信するマルチチャンネル対応の電波修正時計を容易に実現することが可能である。

次に、本発明にかかる電波修正時計を異なる国或いは地域に移動させて、当該国或いは地域に於いて、複数の相互に異なる時刻情報を含んだ標準電波の中から

任意に適切な標準電波を発信する受信局を選択して当該国或いは地域に於ける正確な時刻情報に当該電波修正時計の時刻情報を修正する方法の一例を説明する。

図 2 1 は、本発明に於ける当該電波修正時計の時刻情報を修正する方法の一例を実行する電波修正時計の回路ブロック図である。

図 2 1 に於いて、図 7 に示す本発明に係る電波修正時計の具体例での構成と同一の部分については同一の符号を付し、詳細な説明は省略する。

即ち、図 2 1 に於いて、1 は受信アンテナ 2 と同調 IC 回路 3 とを含む受信手段としての同調回路 1 であり、標準電波を受信する受信アンテナ 2 と、該受信アンテナ 2 と同調して標準電波を選択的に受信するためのコンデンサによって成る同調 IC 回路 3 とで構成されており、一方、制御部 5 0 に含まれる受信 IC 5 1 は、適宜の増幅回路、フィルタ回路、及び検波回路等によって構成される。

受信回路 5 1 は、受信アンテナ 2 と同調 IC 3 によって受信された微弱な標準電波を入力して増幅及び検波を行い、デジタル化された復調信号 P 1 1 を出力する。

一方、5 2 a はデコード手段としてのデコーダ回路であり、復調信号 P 1 1 を入力して内部の記憶手段 5 3 に記憶している解読アルゴリズムによって復調信号 P 1 1 の時刻、情報フォーマットを解読し、秒、分、時、日等の時刻情報としての標準時データ P 5 2 と、受信成功不成功フラグや受信処理期間フラグを有する受信情報としての受信情報信号 P 5 3 を出力する。

また該デコーダ回路 5 2 a は、復調信号 P 1 1 に混入するノイズ成分等をデジタル処理し、受信した標準電波の受信レベルを数値化して受信レベル情報としての受信レベル信号 P 5 4 を出力する。5 2 b は演算手段としての演算回路であり、受信情報信号 P 5 3 と受信レベル信号 P 5 4 を入力し、受信した標準電波の送信局のコード化、受信成功不成功のコード化、受信処理時間の計時、及び受信レベル情報のコード化等の演算処理を行い、受信情報データ P 5 5 として出力する。

5 3 は記憶手段としてのメモリ回路であり、前記受信情報データ P 5 5 を入力して受信した各送信局の受信状況をコード化や受信履歴情報として記憶する。

5 2 c は受信順位決定手段としての受信順位決定回路であり、メモリ回路 5 3

に記憶された受信履歴情報を受信情報データ P 5 5 を介して入力し、受信する送信局の受信順位を決定して受信順位データ P 5 6 を出力する。5 2 d は制御手段としての制御回路であり、標準時データ P 5 2 を入力して時刻設定データ P 5 7 を出力する。

また、制御回路 5 2 d は受信情報データ P 5 5 と受信順位データ P 5 6 を入力し、優先する送信局を選択する選択信号 P 5 8 を出力する。また、制御回路 5 2 d は受信情報信号 P 5 3 を入力し、受信成功不成功フラグによって受信動作の成功不成功を判定する。また、制御回路 5 2 d は受信情報データ P 5 5、受信順位データ P 5 6 によって、前回受信された送信局、あるいは、受信順位決定手段が決定した受信順位に基づいてこれから受信される優先の送信局、あるいは、現在受信中の送信局を表す送信局表示信号 P 5 9 を出力する。

同調回路 1 の同調 I C 3 と受信 I C 回路 5 1 及びデコーダ回路 5 2 a は制御回路 5 2 d からの選択信号 P 5 8 を入力する。同調 I C 3 は選択信号 P 5 8 によって内部のコンデンサ（図示せず）を切り替え、受信アンテナ 2 との同調周波数を変化させて受信する標準電波を選択する。また、受信 I C 回路 5 1 は選択信号 P 5 8 によって内部のフィルタ回路（図示せず）、検波回路（図示せず）等の回路定数を切り替え、受信アンテナ 2 と同調 I C 3 によって選択的に受信される微弱な標準電波を増幅検波する。

また、デコーダ回路 5 2 a は選択信号 P 5 8 によって前述した内部の解読アルゴリズムを切り替え、受信する標準電波の時刻情報フォーマットを解読する。5 4 は内部に水晶発振器（図示せず）を備える基準信号源であり、基準信号「P 1 3」を出力する。5 2 e は計時手段としての計時回路であり、時刻設定データ P 5 7 を入力して標準電波より得た正確な時刻情報を設定し、且つ、基準信号 P 1 3 によって時刻を計時し、時刻表示信号 P 6 1 を出力する。

表示部 4 2 は前述した如く秒針、分針、時針、日付表示部等によって構成され、図示しないがモータと輪列等の機械伝達機構を有し、時刻表示信号 P 6 1 を入力して時刻情報を表示する。また、表示部 4 2 は必要に応じて送信局表示信号 P 5 9 を入力し、前回受信された送信局、あるいは受信順位決定回路 5 2 c が決定した受信順位に基づいてこれから受信される優先の送信局、あるいは、現在受信中

の送信局の何れかを秒針、分針等で表示する。尚、送信局の表示には、秒針や分針の代わりに小型の液晶パネル等を用いてデジタル的に表示しても良い。

55は電源であり一次電池又は二次電池等によって成り、図示しないが電源ラインを介して各回路ブロックに電源を供給する。尚、破線で大きく囲んだデコーダ回路52a、演算回路52b、受信順位決定回路52c、制御回路52d、計時回路52eを制御部50としてワンチップで成るマイクロコンピュータによって構成し、各機能をファームウェアによって実現させることも可能であるので、本発明は図21で示した実施形態の構成に限定されるものではない。

また、メモリ回路53は制御部50の内部に形成した例を示して有るが、制御部50の外部に構成したもので有っても良い。また、標準電波の受信レベル情報を表す受信レベル信号P54は、デコーダ回路21によりデジタル処理で生成したが、この方法に限定されるものではなく、例えば、受信IC回路51によって受信した標準電波の電界強度等に基づいてアナログ処理で生成しても良い。

次に図21に基づいて、本発明の実施形態である電波修正時計1の基本動作を説明する。

電源55が電源ライン（図示せず）を介して各回路ブロックに電力を供給すると、制御回路52dは初期化処理を実行して各回路ブロックを初期化する。□この結果、計時回路52eは初期化されてAM00:00:00となり、表示部42の秒針、分針、時針は、時刻表示信号P61によって基準位置であるAM00:00:00に移動する。また、日付表示部も基準位置に移動する。

次に計時回路52eは基準信号源54からの基準信号P13によって計時を開始し、表示部42は計時回路52eからの時刻表示信号P61によって運針を開始する。次に制御回路52dは選択信号P58を順次出力し、同調回路1は選択信号P58を入力して受信する同調周波数を切り替え、デコーダ回路52aも選択信号P58を入力して解読アルゴリズムを切り替え、受信可能な送信局の標準電波を検索する。尚、初期化直後の標準電波の受信切り替えは、使用者によって手動での切り替えでも良い。

次に標準電波の探索の結果、同調回路1は受信可能な標準電波を見つけると復調信号P11を出力し、デコーダ回路52aは選択された解読アルゴリズムに従

ってこの復調信号P 1 1を解読し、復調信号P 1 1の全ての解読に成功すると標準時データP 5 2と受信情報信号P 5 3と受信レベル信号P 5 4を出力する。ここで標準電波を復調した復調信号P 1 1は1分間の期間内に全ての時刻情報を含んでいるので、時刻情報の解読時間は1分間が必要である。

また、デコーダ回路5 2 aの解読アルゴリズムは、解読精度を高めるために復調信号P 1 1を2回連続して解読に成功した場合を受信完了とすることが望ましいので、受信完了に要する受信処理時間は最小で2分間必要となる。また、デコーダ回路5 2 aは、標準電波へのノイズ成分の混入や電界強度の低下等によって、解読が完了出来ずに解読エラーとなる場合があり、この場合は1分間毎の解読動作を何度も繰り返して受信完了を試みる。

このため、デコーダ回路5 2 aの解読アルゴリズムは、受信完了に要する受信処理時間に制限を設け、解読動作が何度も繰り返されて受信処理時間が制限を越えた場合は受信不成功としてその標準電波の受信動作を終了させる。この結果、復調信号P 1 1を解読するための受信処理時間の長さは、受信する標準電波のノイズ成分の有無や電界強度変動等を把握することが出来る重要な要素となり得る。

次に受信が完了してデコーダ回路5 2 aから標準時データP 5 2が出力されると、制御回路5 2 dは標準時データP 5 2を入力して必要とする時刻情報を取得し、秒データ、分データ、時データ、日データ等によって成る時刻設定データP 5 7を出力する。計時回路5 2 eは時刻設定データP 5 7を入力して時刻情報として設定し、この時刻情報を基準として計時を継続する。演算回路5 2 bはデコーダ回路5 2 aからの受信情報信号P 5 3と受信レベル信号P 5 4を入力し、前述した受信処理時間等を算出して受信情報データP 5 5を出力し、メモリ回路5 3は受信情報データP 5 5を入力して受信した送信局の受信履歴情報として記憶する。

ここで図2 2は、受信情報データP 5 5によってメモリ回路5 3に記憶される受信した送信局の受信履歴情報の一例を示している。すなわち、メモリ回路5 3にはN個の受信した送信局の受信履歴情報を記憶することが出来、その受信履歴情報は図示する如く受信した送信局名、復調信号P 1 1の解読に要した受信処理時間、標準電波の受信レベル等によって成る。

また、最初に受信した送信局の受信情報はアドレス 1 に記憶されるが、次に受信した送信局の受信情報が記憶される場合は、前回受信した送信局の受信情報が記憶されているアドレスは一つ加算されてアドレス 2 に移り、新しく受信した送信局の受信情報が常にアドレス 1 に記憶される。尚、受信した送信局の局数が N 個をオーバーした場合は、 $N + 1$ 個目の受信情報は削除されて良く、また、 N はメモリ回路 22 の記憶容量に応じて任意な値を選んで良い。

尚、図 22 に於いて受信を実施した送信局数は一例として延べ 12 個であり、その送信局は J J Y 福島局 (日本)、J J Y 九州局 (日本)、D C F 77 (ドイツ)、W W V B (アメリカ合衆国) の 4 カ所である。また、最も古い受信した送信局の受信情報はアドレス 12 に記憶されており、最も新しい受信した送信局の受信情報は前述した如くアドレス 1 に記憶されている。尚、アドレス 4 は受信が不成功に終わった場合の一例を示し、アドレス 4 の受信した送信局の欄には受信エラーコードが記憶され、受信処理時間と受信レベルは空欄として良い。尚、メモリ回路 53 に記憶される受信履歴情報は、実際にはコード化されたデータである。

本発明に於ける当該同調回路 1 に於いては、当該受信回路に接続されている増幅回路に使用される抵抗部の抵抗値と当該同調装置に設けられている同調コンデンサによるインピーダンスとの関係も上記した半導体スイッチの ON 抵抗或いは OFF 抵抗と同調コンデンサによるインピーダンスとの関係と同じ様に重要な要因である事が判明したものであり、具体的には、当該受信回路に接続されている増幅回路に使用される抵抗部の抵抗値が当該同調装置に設けられている同調コンデンサによるインピーダンスよりも大きくなるように設定される事が望ましい。

即ち、本具体例に於いては、当該受信回路に接続されている増幅回路に使用される抵抗部の抵抗値が、当該増幅回路に使用される抵抗部と直列に接続しているコンデンサによるインピーダンスよりも大きくなるように設定されている事が望ましい。

より具体的には、当該増幅回路に使用される抵抗部の抵抗値が当該同調装置に設けられている同調コンデンサによるインピーダンスに対して少なくとも 10 倍のインピーダンスに設定されている事が好ましい。

以下に、本発明に於ける同調回路 1 と電波修正時計 40 の受信 IC 51 の内部

にある増幅回路 80 の関係について、図 8 に基づいて説明する。

図 8 (a) は同調回路 1 と受信 IC 51 の増幅回路 80 の概略回路図であり、図 8 (b) はその等価回路であり、図 8 (c) は同調回路 1 と受信 IC 51 の他の増幅回路 90 の概略回路図である。

図 8 (a) に於いて、70 は本発明の同調回路 1 の一部回路の概略を示す同調回路であり、71 は受信アンテナであり、72 は受信アンテナ 71 に接続されるコンデンサであり、73 はコンデンサ 72 を開閉する半導体スイッチの ON 抵抗又は OFF 抵抗を表す抵抗である。

80 は本発明の電波修正時計の受信 IC 51 の内部にある初段の増幅回路であり、81 は P チャンネル MOS トランジスタ (以降 P-Tr と略記) であり、82 は N-Tr であり、該 P-Tr 81 と N-Tr 82 によって、C-MOS 構造の増幅回路を形成している。83 は定電圧源 84 を受けて P-Tr 81 のゲート端子 G にバイアス電圧を供給するバイアス抵抗であり、85 は N-Tr 82 のゲート端子 G とドレイン端子 D を結ぶフィードバック抵抗である。86 と 87 は同調回路 70 からの同調信号 P10 を入力するカップリングコンデンサである。

次に、図 8 (a) に基づいて同調回路 70 と初段の増幅回路 80 の動作概略を説明する。図 8 (a) に於いて、標準電波 (図示せず) が受信アンテナ 71 に到来すると、受信アンテナ 71 とコンデンサ 72 との共振現象により標準電波が選択されて起電力が発生し、同調信号 P10 が出力される。増幅回路 80 は同調信号 P10 を入力し、カップリングコンデンサ 86、87 を介して P-Tr 81 と N-Tr 82 のゲート端子 G に供給され、増幅して出力信号 P15 を出力する。

ここで、増幅回路 80 の入力側から見た等価回路を図 8 (b) に示す。図 8 (b) に於いて、80a は増幅回路 80 の等価回路であり、該等価回路 80a はカップリングコンデンサ 86 とバイアス抵抗 83 が直列接続し、また、カップリングコンデンサ 87 とフィードバック抵抗 85 が直列接続した二つの直列回路が並列に接続された回路である。これにより、等価回路 80a は同調信号 P10 によって同調回路 70 と接続されているので、等価回路 80a の回路定数によっては、同調回路 70 のコンデンサ 72 と、カップリングコンデンサ 86、87 が並列接続されることになり、この結果、同調回路 70 の同調周波数にずれが生じ、標準電

波の周波数を正しく受信できない問題が発生する。

この問題を解決するために、本発明の第1の実施形態で前述した如く、半導体スイッチのOFF抵抗と該半導体スイッチに直列に接続されるコンデンサのインピーダンスとの比率を考慮する考え方を適応すると良い。すなわち、同調回路70に対してカップリングコンデンサ86、87の影響を無くすために、カップリングコンデンサ86、87のインピーダンスよりバイアス抵抗83とフィードバック抵抗85を高い抵抗値に設定すれば、カップリングコンデンサ86、87は、同調回路70に対して切断されたことに等価となり、この結果、同調回路70に対して影響を無くすことが出来る。

特に、前述した如く、電波修正時計の外装を金属外装とする場合は、受信アンテナ71のインダクタンスを大きくする必要があるので、同調回路70のコンデンサ72は静電容量が小さくなるために浮遊容量や寄生容量の影響を受け易い。このため、金属外装を用いた電波修正時計では、バイアス抵抗83とフィードバック抵抗85と、カップリングコンデンサ86、87とのインピーダンスの比率は出来るだけ大きくすることが好ましい。

また、電波修正時計に金属外装を用いる場合は、前述した如くに、受信アンテナ71の導線の巻き数を増やす必要があるので、インダクタンスが増加するだけでなく、受信アンテナ71の直流抵抗分も18Ω程度乃至38Ω程度まで増加し、更には、コンデンサ72の容量も小さいために、同調回路70の出力インピーダンスはかなり上昇する。よって、効率よく同調信号P10を増幅するには、増幅回路80の入力インピーダンスを高くすることが必要である。

ここで、増幅回路80はMOS型トランジスタであるP-Tr81とN-Tr82によって構成されているので、入力インピーダンスは高く増幅回路としては適しているが、実際には増幅回路80の入力インピーダンスはバイアス抵抗83とフィードバック抵抗85が決定する。このため、電波修正時計に金属外装を用いる場合は、バイアス抵抗83とフィードバック抵抗85の抵抗値を出来るだけ大きくすることが好ましい。

次に、図8(C)に基づいて、受信IC51に内蔵する増幅回路の別の実施形態を示す。図8(C)に於いて、90は本発明の電波修正時計の受信IC51の

42

内部にある初段の増幅回路であり、91はP-Trであり、92はN-Trであり、93は、P-Tr 91とN-Tr 92のゲート端子Gとドレイン端子Dを接続するフィードバック抵抗である。同調回路70は図8(a)と同様であるので説明は省略する。ここで増幅回路90は、増幅回路80にあったカップリングコンデンサ86、87が無く、同調信号P10を直接P-Tr 91とN-Tr 92のゲート端子Gに入力し増幅している。

図8(C)に於いて、増幅回路90の入力インピーダンスは、フィードバック抵抗93に依存し、等価的には同調回路70に対して、フィードバック抵抗93が並列に接続されることになる。よって、フィードバック抵抗93の抵抗値が小さいと、同調回路70の損失を増やすことになってQが低下し、アンテナ利得を下げると共に選択度も低下して好ましくない。このため、フィードバック抵抗93は、同調回路70のコンデンサ72のインピーダンスに対して、約10倍以上大きいことが好ましい。以上のように、同調回路70に接続される受信ICの回路構成と回路定数を考慮することにより、同調装置のアンテナ利得やQを改善することが出来、より高性能な同調装置とそれを用いた電波修正時計を提供できる。

本発明者等は、上記した増幅回路に用いる抵抗値（フィードバック抵抗など）とアンテナに用いている同調コンデンサのインピーダンスとの関係について追加の実験を行ったので以下にその説明を行う。

今回の実験に使用した実験回路は図23に示すような回路であり、アンテナはL値が102mH、同調コンデンサは66pFとし、共振周波数を61KHzになるようにした時に増幅回路抵抗を200K Ω ～33M Ω まで可変した時に増幅回路抵抗がない場合（OPEN時）の利得からの減衰率とコンデンサとのインピーダンス比を図24のグラフに示している。

図24から判る様に、抵抗/コンデンサインピーダンス比が小さくなるほどアンテナの減衰率は激しい。

特に抵抗/コンデンサインピーダンス比が8.36以下では最も傾斜が激しいため、抵抗/コンデンサインピーダンス比が8.36（約10）以上であることが望ましい。

又、好ましくは更に傾斜が緩やかな抵抗/コンデンサインピーダンス比が25.34（約25）以上であることが好ましい。

更に好ましくは更に傾斜が緩やかな抵抗／コンデンサインピーダンス比が 172 (約 170) 以上であることが望ましい。

また、本発明の第 3 の実施形態に於いて、同調装置は本発明の第 1 の実施形態である同調回路 1 を電波修正時計 40 に組み込んで実施形態としたが、これに限定されず、本発明の第 2 の実施形態である同調装置 30 を組み込んで電波修正時計を構成しても良い。また、第 3 の実施形態に於いて、表示部 3 はアナログ表示方式を採用したが、これに限定されず、表示部 3 に LCD 等によって成るデジタル表示を用いたデジタル表示方式であっても良く、更には、アナログとデジタルの複合表示方式の電波修正時計であっても良い。

次に、図 9 に基づいて本発明の第 4 の実施形態である電波修正時計の回路ブロック構成と動作を説明する。尚、本発明の第 3 の実施形態と同一要素には同一番号を付し重複する説明は省略する。図 9 に於いて、100 は同調制御情報を記憶する記憶回路 53 を内蔵する同調装置である。マイコン 52 は同調回路 100 に内蔵される記憶回路 53 に、アドレス信号 P16 を出力する。記憶回路 53 はアドレス信号 P16 を入力し、該アドレス信号 P16 に基づいて内部に記憶している同調制御情報を読み出し、同調データ P12 を出力する。

同調回路 100 の同調 IC 101 は内部に変換回路 (図示せず) を有し、該変換回路は同調データ P12 を入力してデータに応じてパルスを出力するクロック信号を発生し、同調 IC 101 に内蔵される複数のコンデンサを切り替えて同調周波数を調整し、標準電波を受信する。その他の電波修正時計としての動作は第 3 の実施形態と同様であるので省略する。尚、図 9 に於いて、記憶回路 53 は同調 IC 101 の外部に配置したが、これに限定されず、記憶回路 53 を同調 IC 101 に内蔵し、同調 IC 101 をワンチップによって構成しても良い。

また、記憶回路 53 は、フラッシュメモリ等による不揮発性メモリが書き換えも可能で使い易いが、コストの安いヒューズ ROM、又は、同調 IC 101 を実装するプリント基板 (図示せず) の導電パターンを加工するパターンカット手段であっても良い。また、本発明の第 4 の実施形態は、第 3 の実施形態と同様に、標準電波に対して最適な同調周波数の調整を実現させるだけでなく、送信周波数の異なる複数の標準電波を選択する標準電波選択手段として応用することも可能

である。

以上のように、本発明の第４の実施形態によれば、同調制御情報を記憶している記憶回路５３を同調回路１００に内蔵させているので、電波修正時計を制御する制御部５０と標準電波を受信する同調回路１００の機能を明確に分離でき、同調回路の調整工程の簡略化やコストダウンの実現が可能となる。すなわち、受信アンテナ２のインダクタンスは製造ばらつきによって個体差があり、また、同調ＩＣ１０１に内蔵する複数のコンデンサも、ＩＣの製造ばらつきによって個体差を有する。

このため、同一の標準電波を受信する同調装置であっても、最適な同調を得るには、個々の同調装置毎にコンデンサを切り替えるための同調制御情報が異なる。よって、同調回路１００の製造工程に於いて、同調回路１００毎に異なる同調制御情報を記憶する記憶回路５３を同調回路１００に内蔵していれば、同調回路１００の調整工程が簡略化でき、調整工数も短縮し、更には同調回路１００と制御部５０を個別に管理できるので工程管理も容易となる。尚、本発明の同調装置は、電波修正時計に限定されるものではなく、電波を送受信する各種の電子機器に幅広く応用することが可能である。

次に、本発明の同調装置とそれを用いた電波修正時計のアンテナ同調調整方法について説明する。従来、電波修正時計のアンテナ同調の調整は、同調用のコンデンサを何種類も用意し、コンデンサを同調回路に仮実装した後、同調周波数を測定し、同調周波数がずれていた場合は、実装したコンデンサを取り除いて別の容量が異なるコンデンサを再実装して同調周波数を測定するという、時間と労力のかかる調整方法を採用していた。しかし、本発明の同調装置とそれを用いた電波修正時計では、アンテナ同調の調整を短時間で且つ、自動的に実施することが出来るので、以下説明する

即ち、本発明に於ける当該電波修正時計は、当該電波修正時計外に設けた外部操作手段により同調周波数を変更する事が出来るテストモードを有している事を特徴とするものである。

図１０は、電波修正時計のアンテナ同調調整方法を示す原理図であり、図１０（ａ）は、接触方式のアンテナ同調調整方法を示す原理図であり、図１０（ｂ）

は、非接触方式のアンテナ同調調整方法を示す原理図である。図10(a)に於いて、40aは本発明の第3、第4の実施形態と同様な電波修正時計であり、前述した如く、同調回路1、制御部50を有し、同調回路1は受信アンテナ2、同調IC3を有している。

また、電波修正時計40aは、外部からの制御情報伝達手段としてインターフェース回路（以降I/F回路と略記）110を備えている。111は電波修正時計40aのアンテナ同調を自動的に調整する自動調整装置であり、図示しないが、内部に交流信号源、交流電圧計、マイコン等による制御部を有している。112は励磁用空芯コイルであり、自動調整装置111から出力される交流信号P20a、P20bによって駆動され、交流磁界113を出力する。P21は自動調整装置111から出力される制御信号であり、I/F回路110を介して制御部50に入力される。

次に、図10(a)に基づいてアンテナ同調の調整方法について説明する。電波修正時計40aのアンテナ同調を調整するために、まず、励磁用空芯コイル112を電波修正時計40aの受信アンテナ2に近接して配置する。自動調整装置111は、交流信号P20a、P20bを出力して励磁用空芯コイル112を駆動する。ここで例えば、電波修正時計40aを40KHzの標準電波に同調させたい場合は、40KHzの交流信号P20a、P20bを出力し、また、60KHzの標準電波に同調させたい場合は、60KHzの交流信号P20a、P20bを出力する。

次に自動調整装置111は、制御信号P21を出力してI/F回路110を介して制御部50を動作させ、制御部50は制御信号P21に応じて同調IC3へクロック信号P8を順次出力する。同調IC3はクロック信号P8を入力し、該クロック信号P8のパルス数に応じて内蔵するコンデンサを順次切り替え、同調周波数を可変する。ここで、受信アンテナ2は、励磁用空芯コイル112からの交流磁界113を受けて電磁誘導によって起電力を誘起し、アンテナ信号P6、P7を出力する。同調IC3は、アンテナ信号P6、P7を入力して同調信号P10を出力する。このとき、交流信号P20a、P20bの周波数と受信アンテナ2と同調IC3に内蔵されるコンデンサとによる同調周波数が一致したときに、

同調信号 P 1 0 の信号レベルは増加しピークとなる。

自動調整装置 1 1 1 は、同調信号 P 1 0 を入力して内部で増幅し、該増幅された同調信号 P 1 0 を交流電圧計によって測定し、受信アンテナ 2 のアンテナ出力として内部に記憶する。図 1 1 は、自動調整装置 1 1 1 がクロック信号 P 8 のパルス数に応じて変化するアンテナ出力を測定しプロットしたアンテナ出力特性図である。図 1 1 に於いて、クロック信号 P 8 のパルス数が少ない領域ではアンテナ出力（すなわち同調信号 P 1 0 の信号レベル）は小さいが、パルス数の増加に伴ってアンテナ出力は増加し、パルス数が 2 8 個付近でアンテナ出力は最大となり、それ以降は、パルス数の増加に伴って再びアンテナ出力は減少している。

すなわち、図 1 1 のアンテナ出力特性から、パルス数 2 8 個付近での同調周波数が、交流信号 P 2 0 a、P 2 0 b の周波数に対して一致し同調していることが解る。これにより、アンテナ出力がピークとなったパルス数を、制御部 5 0、または、同調回路 1 に内蔵される記憶回路に同調制御情報として記憶させれば、同調回路 1 は標準電波に対して高精度に同調され、感度が高くノイズにも強い電波修正時計を実現することが出来る。また、複数の標準電波を受信する場合は、交流信号 P 2 0 a、P 2 0 b の周波数をそれぞれの標準電波に等しい周波数に設定し、同様な測定を行い、アンテナ出力のピーク点に対応するパルス数を記憶すれば、複数の標準電波を任意に受信することが出来る。

また、図 1 1 に於いて、同調回路の Q が低い場合には、アンテナ出力のピーク点がなだらかでピーク点を見つけることが難しい場合がある。このような場合には図 1 1 に示すように、アンテナ出力の上昇の傾き (K 1) と下降の傾き (K 2) を自動調整装置 1 1 1 内のマイコンで算出し、二つの傾きの K 1 と K 2 の交点をアンテナ出力のピーク点とするなど、コンピュータ・プログラムによってピーク点を予測し同調させても良い。以上のように、電波修正時計のアンテナ同調の調整を励磁用空芯コイル 1 1 2 と自動調整装置 1 1 1 によって実現することが出来るので、電波修正時計の製造時の調整工程を簡略化出来ると共に、調整工数も短縮することが出来る。

次に、図 1 0 (b) に基づいて、非接触方式のアンテナ同調調整の構成と方法を説明する。尚、図 1 0 (a) で示した接触方式のアンテナ同調調整方法の原理

図と同一要素には同一番号を付し重複する説明は省略する。図10(b)に於いて、115は検出用空芯コイルであり、受信アンテナ2に近接して配置される。P22a、P22bは検出用空芯コイル115に誘起される検出信号であり、自動調整装置111に入力される。116は電波修正時計40aに内蔵されるワイヤレスI/F回路であり、自動調整装置111から出力される赤外線又は微小電力の無線等によるワイヤレス制御信号P23を受信し、その制御情報を制御部50に伝達する。

即ち、上記本発明におけるテストモードの実行に際して使用される当該外部操作手段は、非接触型操作方式を含んでいる事も望ましく、更には当該非接触型操作方式は、無線又は赤外線を利用するものである事も好ましい具体例である。

次に、図10(b)に基づいて非接触方式のアンテナ同調の調整方法について説明する。電波修正時計40aのアンテナ同調を調整するために、まず、自動調整装置111は、交流信号P20a、P20bを出力して励磁用空芯コイル112を駆動する。ここで、受信アンテナ2は、励磁用空芯コイル112からの交流磁界113を受けて電磁誘導によって起電力を誘起し、アンテナ信号P6、P7を出力するが、この受信アンテナ2に誘起されたアンテナ信号P6、P7によって、受信アンテナ2から交流磁界117が発生する。受信アンテナ2に近接する検出用空芯コイル115は、この交流磁界117を受けて電磁誘導によって起電力を誘起し、検出信号P22a、P22bを出力する。

次に、自動調整装置111は、検出信号P22a、P22bを入力して内部で増幅し、該増幅された検出信号P22a、P22bを交流電圧計によって測定し、受信アンテナ2のアンテナ出力として記憶する。尚、同調IC3に内蔵されるコンデンサの切り替え制御は、自動調整装置111より出力されるワイヤレス制御信号P23によって順次行われる。この結果、自動調整装置111は図11で示すアンテナ出力特性と同様なデータを得ることが出来、アンテナ出力のピーク点を求めることが出来る。すなわち、この非接触方式のアンテナ同調調整方法によれば、アンテナ出力は検出用空芯コイル115で検出でき、また、同調回路の同調周波数を可変するためのコンデンサの切り替え制御は、ワイヤレス制御信号P23によって行うので、電波修正時計40aに対して完全に非接触でアンテナ同

調の調整を行うことが出来る。

このことは、電波修正時計を外装に組み込んだ後で、非接触によってアンテナ同調を調整できるので、好都合である。すなわち、電波修正時計は、外装に組み込む前と組み込んだ後では、浮遊容量等の差により同調周波数がずれる傾向にあるが、外装に組み込んだ後にアンテナ同調調整が出来れば、外装による同調周波数のずれをキャンセル出来、より高精度なアンテナ同調を実現出来るからである。また、非接触で調整が出来ることは電波修正時計の製造時の調整工程を更に簡略化出来、また、調整工数も更に削減できる。また、製造時の調整工程だけでなく、電波修正時計を使用中に何らかの原因でアンテナ同調に狂いが生じた場合など、外装を開けることなくアンテナ同調の再調整が出来るので、電波修正時計のメンテナンスにも大きな効果がある。

本発明に於ける更に他の具体例としては、上記した説明から明らかな様に、上記各具体例で示された各同調回路 1 当該同調回路 1 を制御し、当該同調回路 1 によって受信した標準電波を入力して時刻修正を行う受信回路部を有する制御手段 6 と、当該制御手段 6 からの時刻情報を表示する表示手段 4 2 とを有することを特徴とする電波修正時計である。

更に、本発明に於ける当該電波修正時計の別の具体例としては、金属材料によって成る金属外装を有し、当該金属外装によって当該同調回路 1 と当該制御手段 6 と当該表示手段 4 2 を覆い、これらを機械的に保護するように構成したことを特徴とする電波修正時計である。

更に、本発明に於ける当該電波修正時計の更に別の具体例としては、当該金属外装に覆われる当該同調回路の当該コイルのインダクタンスは 20 mH 以上であることを特徴とするものであり、又、当該同調回路の当該複数の半導体スイッチの開閉を制御し、前記同調周波数を可変することにより、複数の標準電波のいずれかを選択的に受信出来るように構成したことを特徴とする電波修正時計である。

一方、本発明に於ける当該電波修正時計の更に他の具体例としては、当該同調回路の当該同調周波数を可変するための同調制御情報を記憶する同調制御情報記憶手段を有するものであっても良く、更には、当該同調制御情報記憶手段は、当該同調回路の内部に備えられているものである事も好ましい。

又、当該同調制御情報記憶手段は、パターンカット手段、ヒューズROM、又は不揮発性メモリから選択された一つで構成されていることを望ましい具体例である。

以上の説明によって明らかなように本発明によれば、複数のコンデンサを半導体スイッチの開閉によって切り替えられるので、同調周波数を任意に変換することが出来、同調周波数の可変範囲が広く、安定性に優れ、小型で高性能な同調回路と、それを用いた電波修正時計を提供することが出来る。

請求の範囲

1. 複数の半導体スイッチと、当該複数の半導体スイッチと各々直列に接続される複数の第1のコンデンサと、当該半導体スイッチの開閉を制御するスイッチ制御手段と備える半導体基板と、該複数の第1のコンデンサのそれぞれに並列的に接続されるコイルとから構成されており、時刻情報を含む標準電波の受信局選択指示信号に応答して当該スイッチ制御手段が当該複数の第1のコンデンサに接続されている個々の半導体スイッチを個別に開閉制御する事によって当該複数の第1のコンデンサによる合計静電容量が可変され、該複数の第1のコンデンサと前記コイルとによって成る同調回路の同調周波数を変更する様に構成されていることを特徴とする同調回路。
2. 更に当該半導体基板上若しくは当該半導体基板外に、当該第1のコンデンサ群と並列に当該コイル部と接続されている固定容量或いは可変容量を有する第2のコンデンサが設けられている事を特徴とする請求の範囲第1項に記載の同調回路。
3. 当該第2のコンデンサは、当該第1のコンデンサが受ける制御とは異なる制御を受ける様に構成されている事を特徴とする請求の範囲第2項に記載の同調回路。
4. 当該第2のコンデンサの少なくとも一つは、当該半導体基板上に設けられた半導体スイッチを介して当該スイッチ制御手段により制御される様に構成されている事を特徴とする請求の範囲第2項又は第3項に記載の同調回路。
5. 当該同調回路は、アンテナ部も含めて、金属材料によって構成された金属外装部の内部で使用されるものである事を特徴とする請求の範囲第1項乃至第4項の何れかに記載の同調回路。
6. 当該それぞれの半導体スイッチのON抵抗は、当該各半導体スイッチに直列に接続される当該それぞれの第1のコンデンサが持つインピーダンスより小さいことを特徴とする請求の範囲第1項乃至第5項の何れかに記載の同調回路。
7. 当該それぞれの半導体スイッチのOFF抵抗は、当該各半導体スイッチに直列に接続される当該それぞれの第1のコンデンサが持つインピーダンスより大きいことを特徴とする請求の範囲第1項乃至第5項の何れかに記載の同調回路。

8. 当該受信回路に接続されている増幅回路に使用される抵抗部の抵抗値が当該同調回路に設けられている同調コンデンサによるインピーダンスよりも大きくなるように設定されている事を特徴とする請求の範囲第1項乃至第7項の何れかに記載の同調回路。

9. 当該受信回路に接続されている増幅回路に使用される抵抗部の抵抗値が、当該増幅回路に使用される抵抗部と直列に接続しているコンデンサによるインピーダンスよりも大きくなるように設定されている事を特徴とする請求の範囲第1項乃至第7項の何れかに記載の同調回路。

10. 当該複数の第1のコンデンサが持つ個々の静電容量の合計値が9600 pF以下であることを特徴とする請求の範囲第1項乃至第9項の何れかに記載の同調回路。

11. 当該コイル部のインダクタンスが0.44 mH以上であることを特徴とする請求の範囲第1項乃至第10項の何れかに記載の同調回路。

12. 当該コイル部のインダクタンスが4000 mH以下であることを特徴とする請求の範囲第1項乃至第10項の何れかに記載の同調回路。

13. 当該同調回路に於ける同調受信周波数は、当該第1のコンデンサ群により設定される第1の静電容量と当該第2のコンデンサの持つ第2の静電容量とで決定される様に構成されている事を特徴とする請求の範囲第1項乃至第12項の何れかに記載の同調回路。

14. 当該第2のコンデンサの静電容量は、当該第1のコンデンサの静電容量より大きい事を特徴とする請求の範囲第1乃至第13項の何れかに記載の同調回路。

15. 請求の範囲第1項乃至第14項の何れかに記載の同調回路と、当該同調回路を制御し、当該同調回路によって受信した標準電波を入力して時刻修正を行う受信回路部を有する制御手段と、当該制御手段からの時刻情報を表示する表示手段とを有することを特徴とする電波修正時計。

16. 更に、金属材料によって成る金属外装を有し、当該金属外装によって当該同調回路と当該制御手段と当該表示手段を覆い、機械的に保護するように構成したことを特徴とする請求の範囲第15項記載の電波修正時計。

17. 当該金属外装に覆われる当該同調回路の当該コイルのインダクタンスは2

0 mH以上であることを特徴とする請求の範囲第14項記載の電波修正時計。

18. 当該同調回路の当該複数の半導体スイッチの開閉を制御し、前記同調周波数を可変することにより、複数の標準電波のいずれかを選択的に受信出来るように構成したことを特徴とする請求の範囲第15項乃至第17項の何れかに記載の電波修正時計。

19. 当該同調回路の当該同調周波数を可変するための同調制御情報を記憶する同調制御情報記憶手段を有することを特徴とする請求の範囲第15項乃至第18項の何れかに記載の電波修正時計。

20. 当該同調制御情報記憶手段は、当該同調回路の内部に備えられていることを特徴とする請求の範囲第19項記載の電波修正時計。

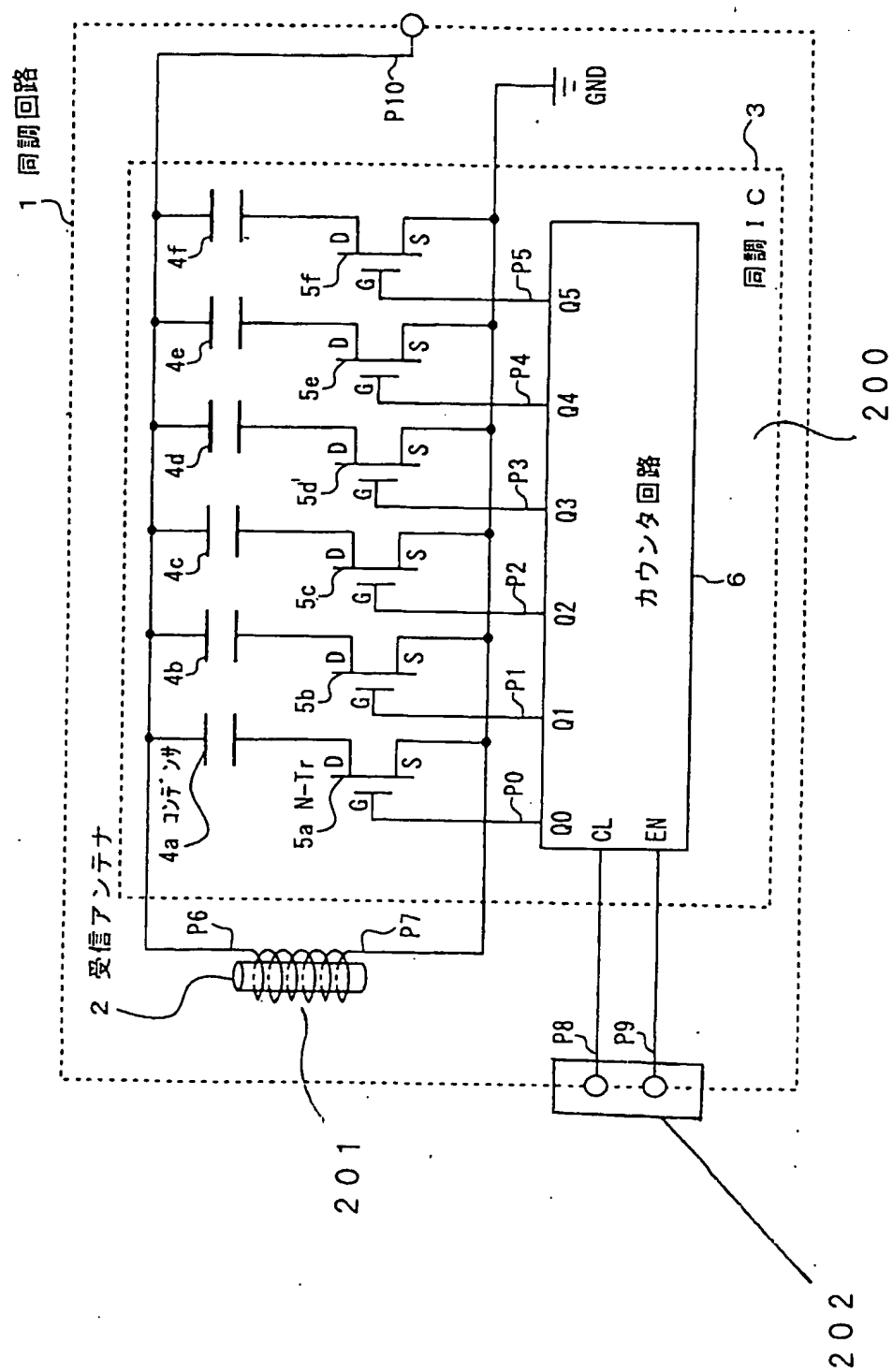
21. 当該同調制御情報記憶手段は、パターンカット手段、ヒューズROM、又は不揮発性メモリから選択された一つで構成されていることを特徴とする請求の範囲第19項又は第20項記載の電波修正時計。

22. 当該電波修正時計は、当該電波修正時計外に設けた外部操作手段により同調周波数を変更する事が出来るテストモードを有している事を特徴とする請求の範囲第15項乃至第21項の何れかに記載の電波修正時計。

23. 当該外部操作手段は、非接触型操作方式を含んでいる事を特徴とする請求の範囲第22項に記載の電波修正時計。

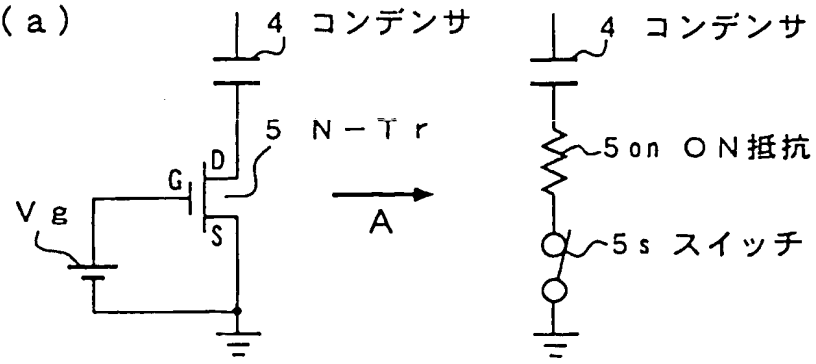
24. 当該非接触型操作方式は、無線又は赤外線を利用するものである事を特徴とする請求の範囲第23項に記載の電波修正時計。

图 1

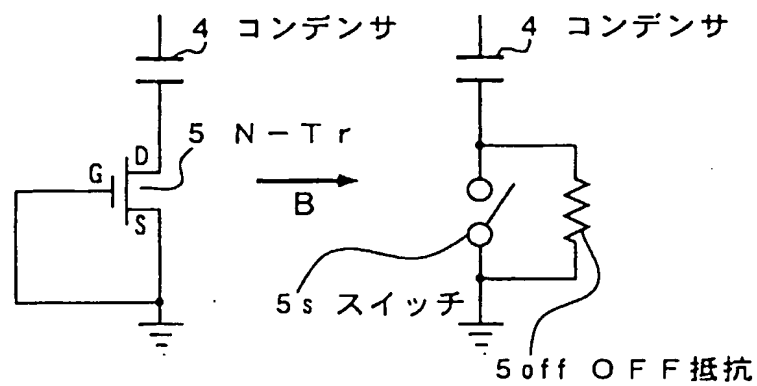


2/20

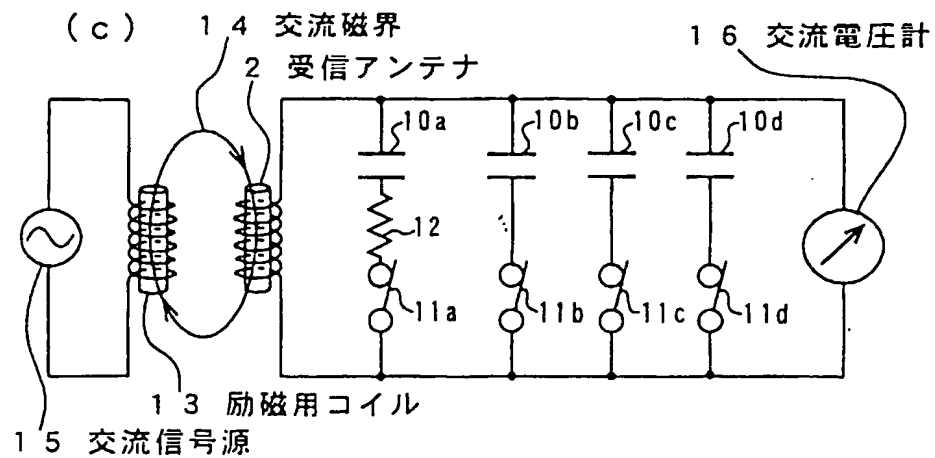
図 2 (a)



(b)

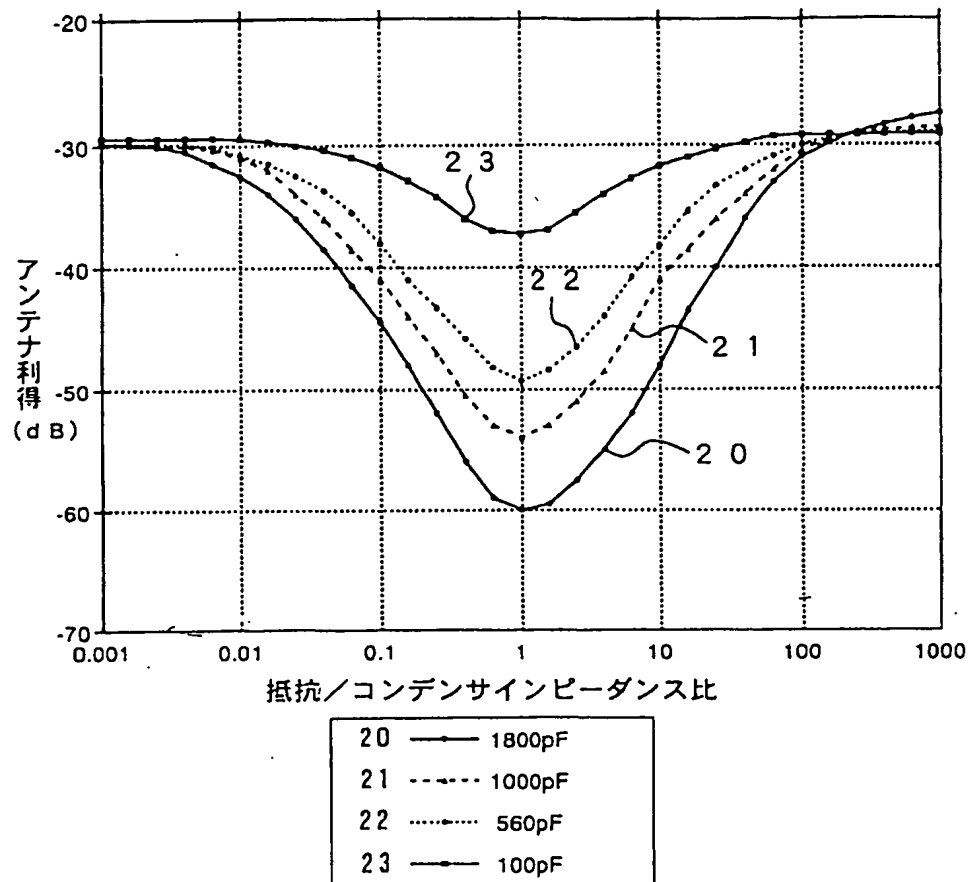


(c)



3 / 20

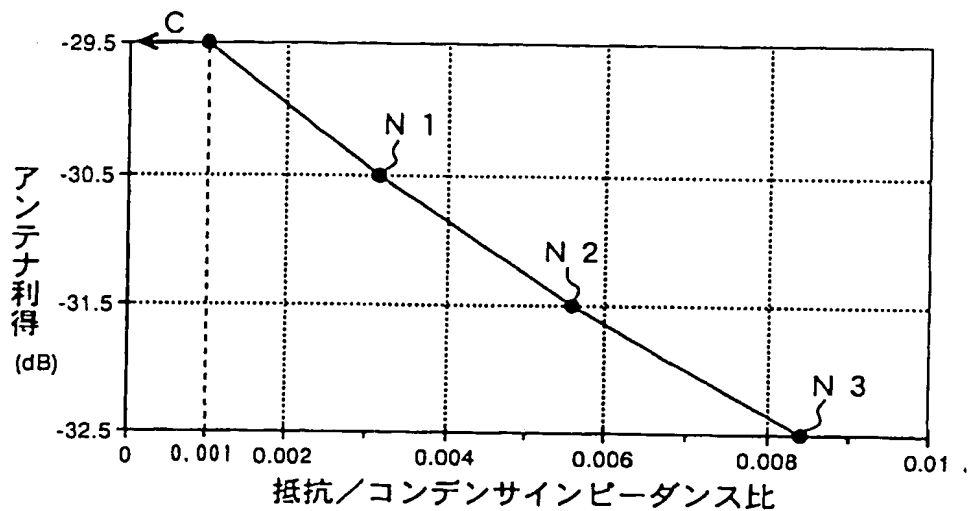
図3 インピーダンス比-アンテナ利得特性



4/20

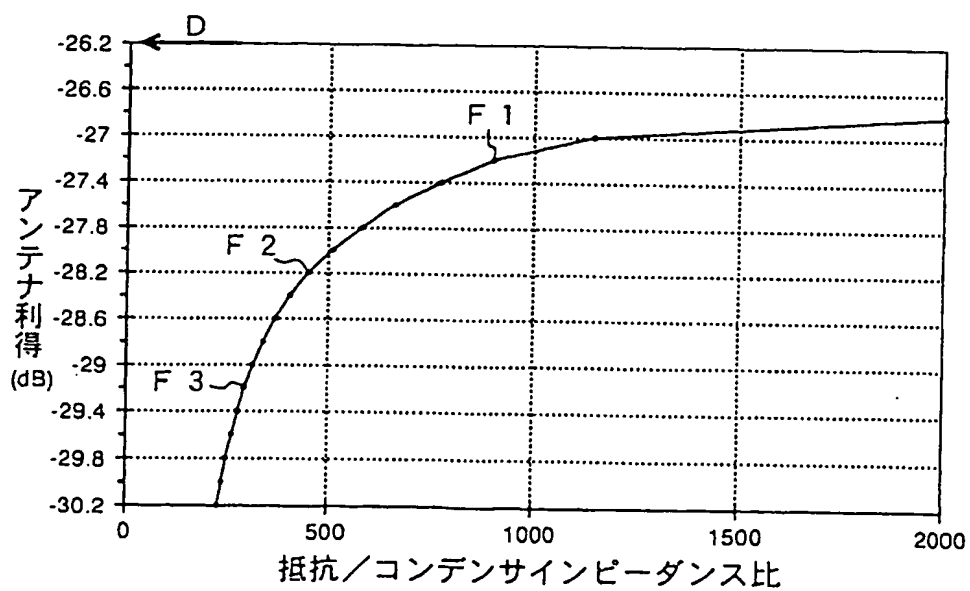
(a)

図4 インピーダンス比-アンテナ利得特性 (ON抵抗領域)

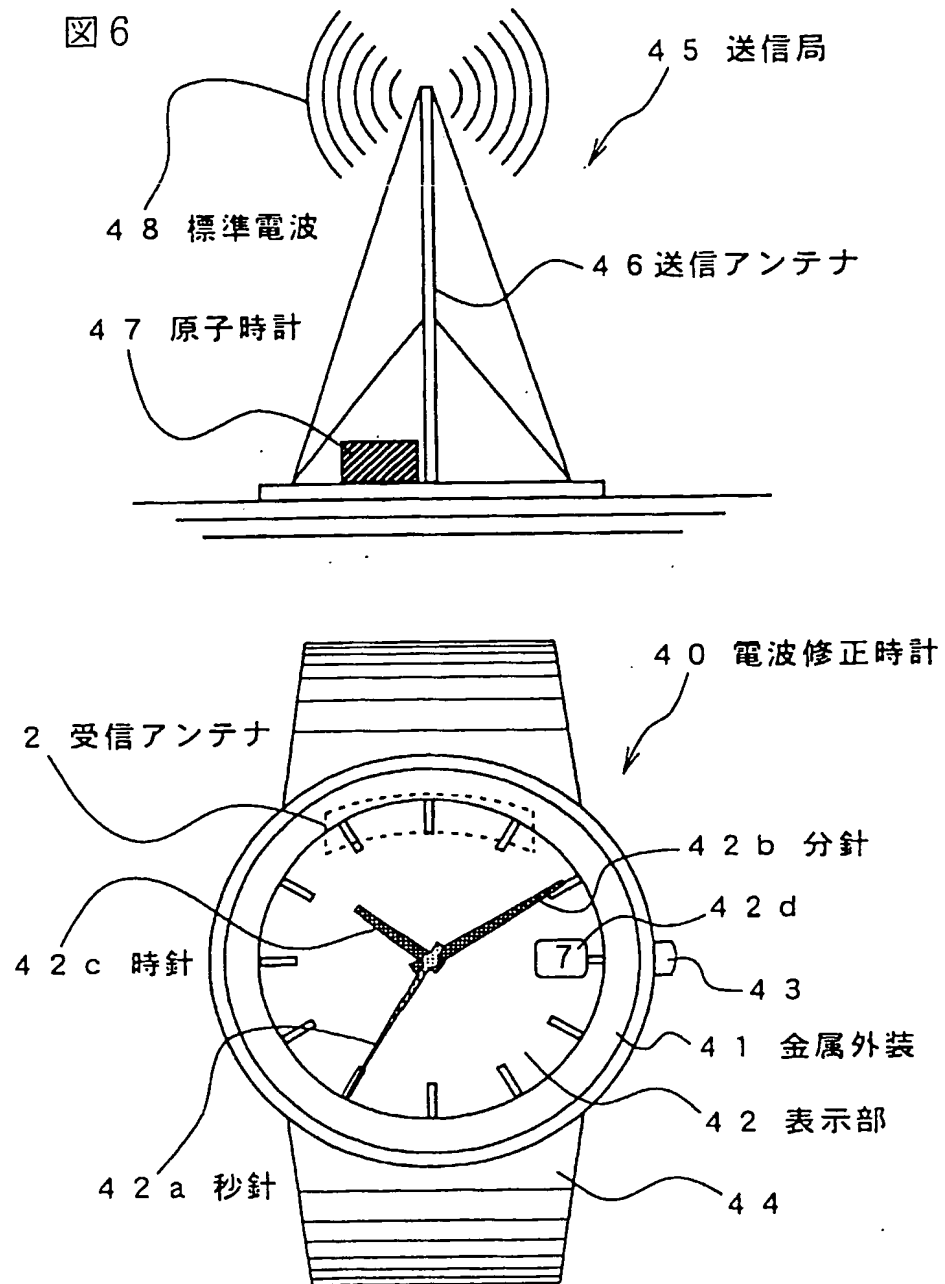


(b)

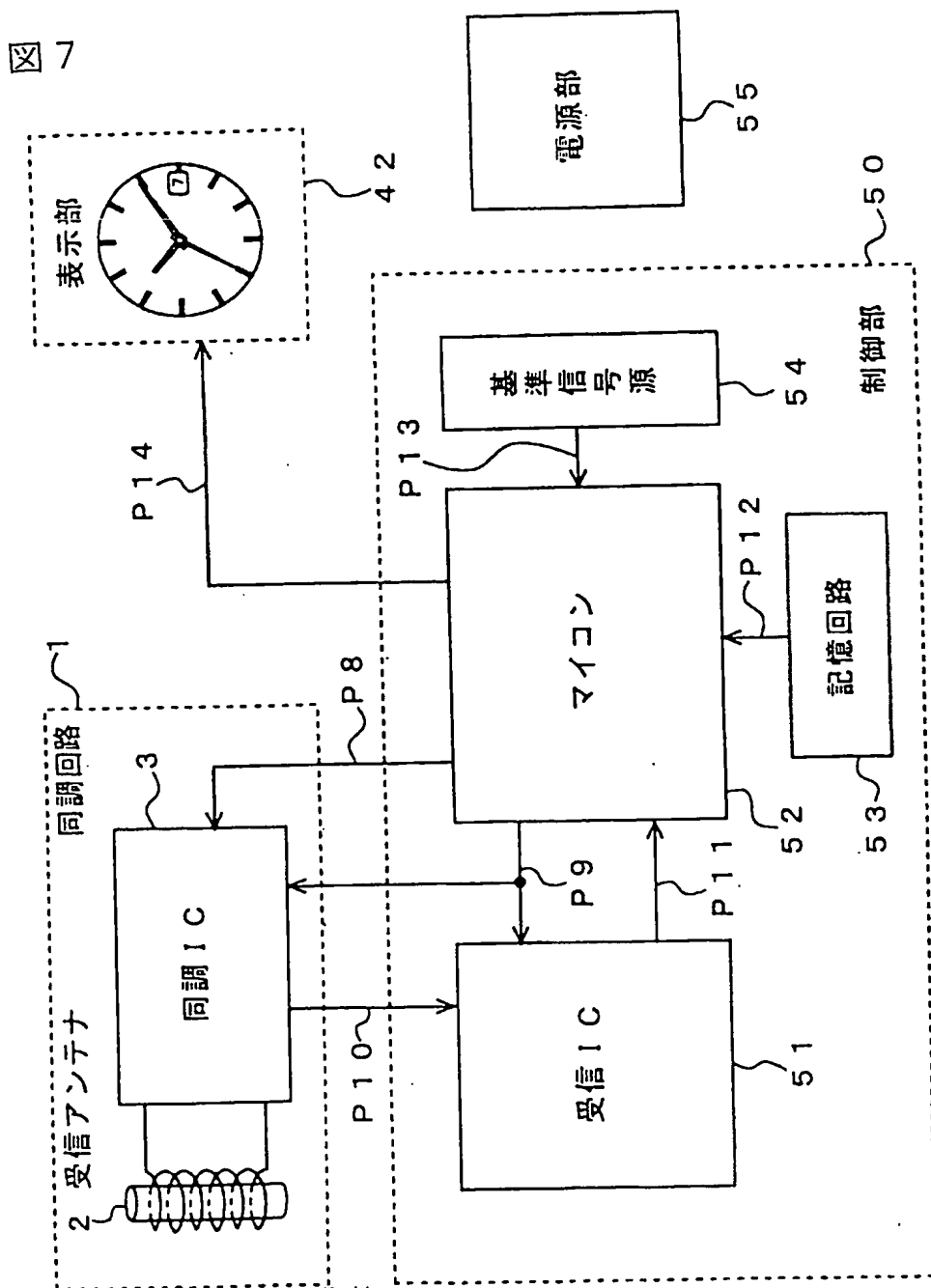
インピーダンス比-アンテナ利得特性 (OFF抵抗領域)



6/20



7 / 20



8 / 20

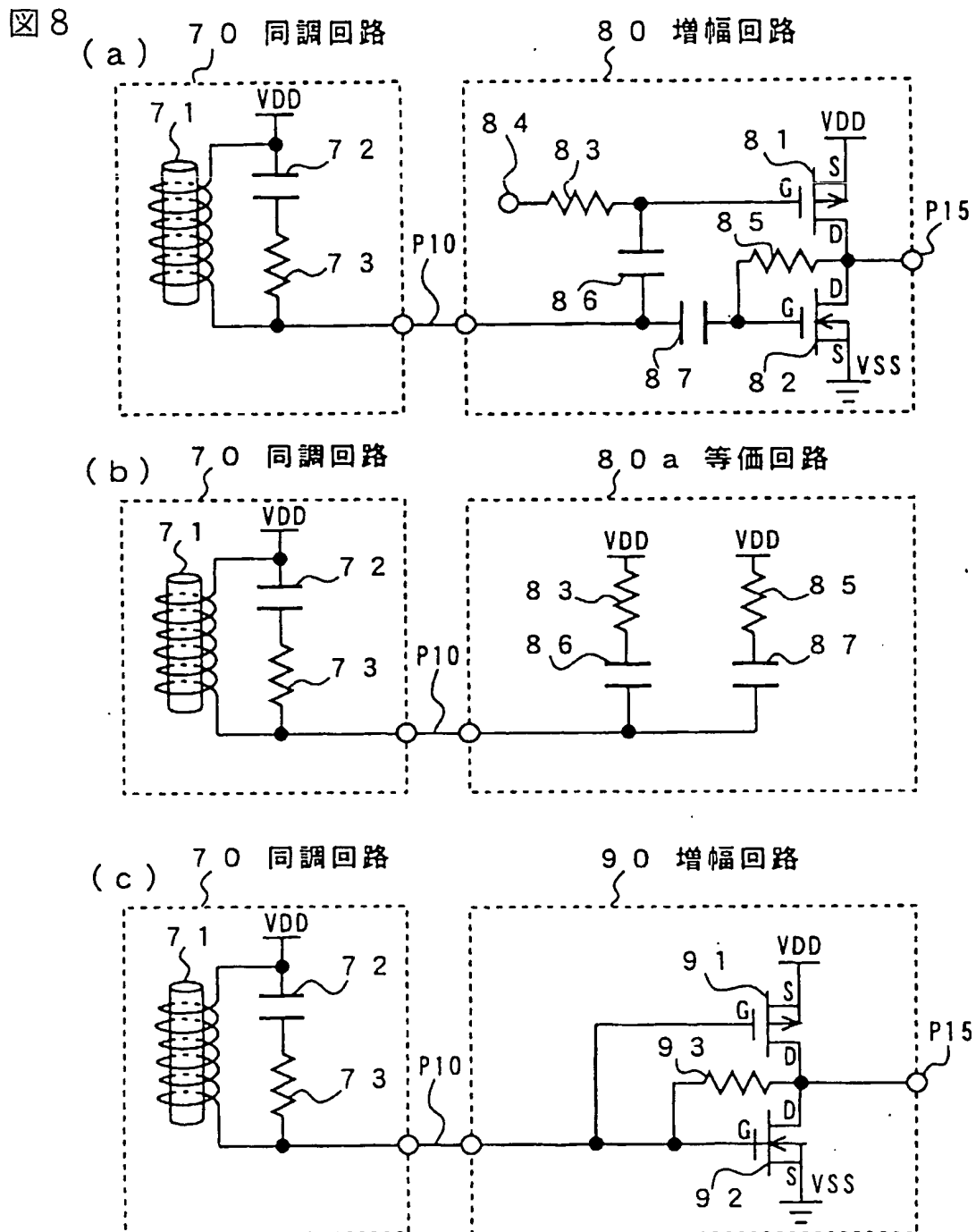
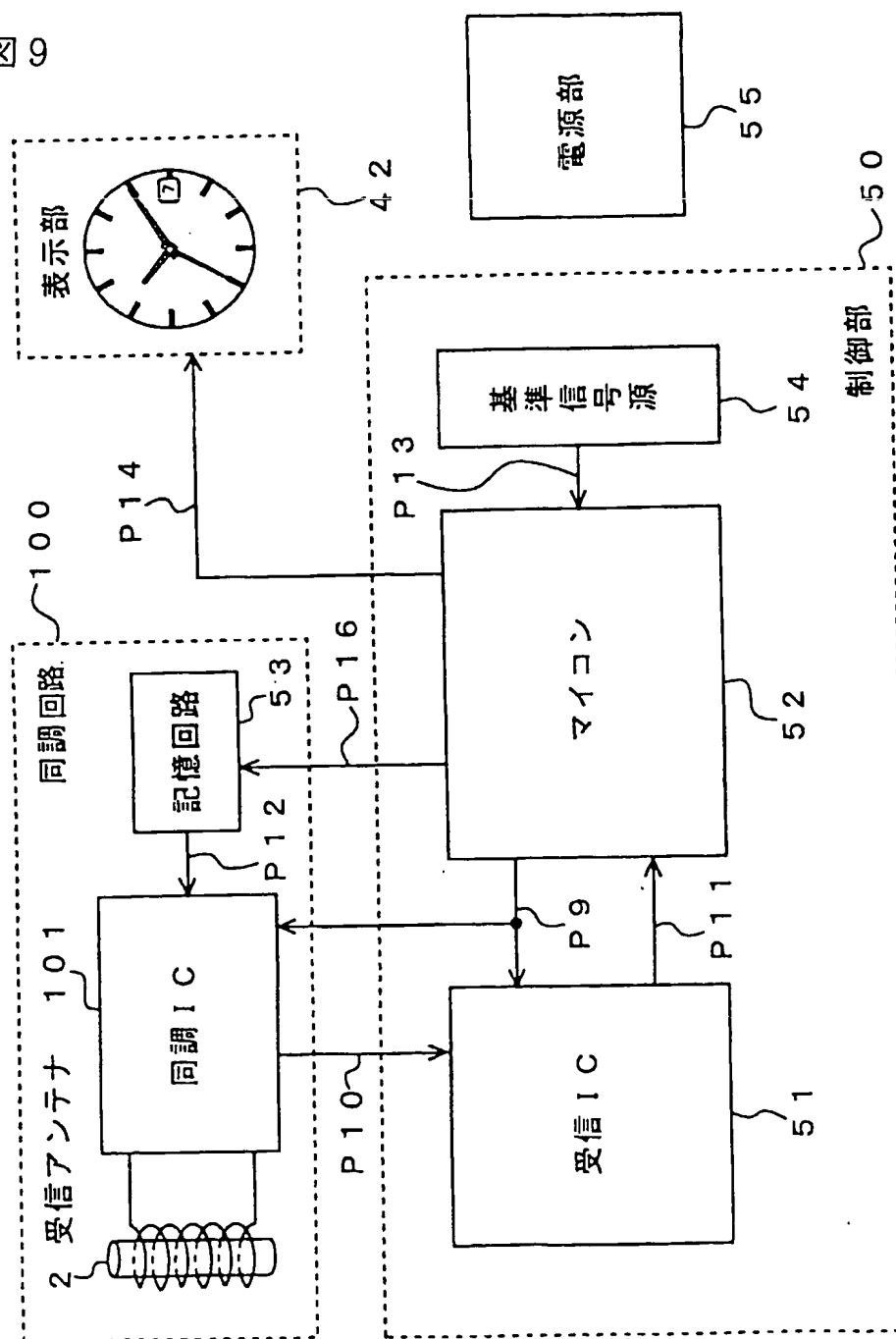


図 9



11/20

図 1 1

アンテナ出力特性

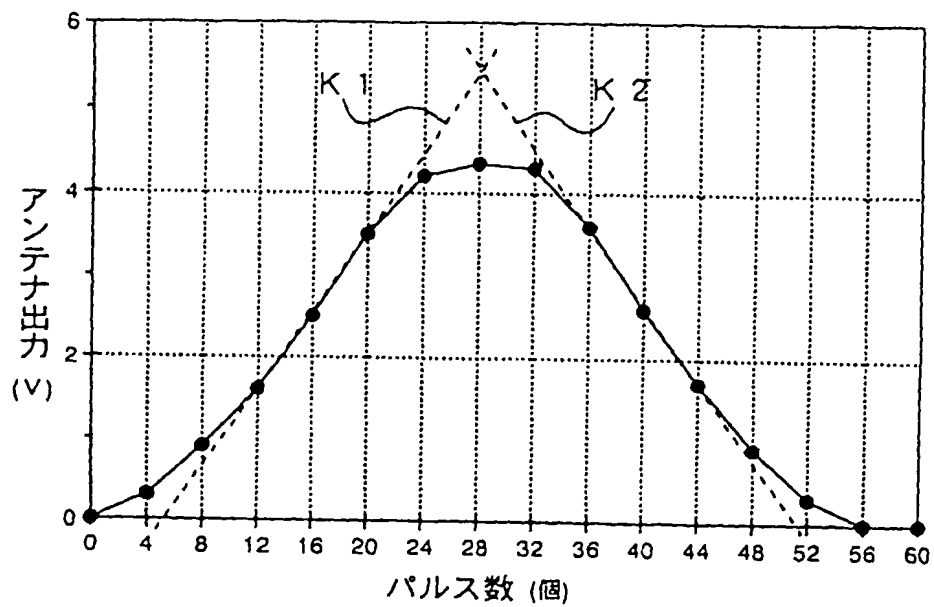
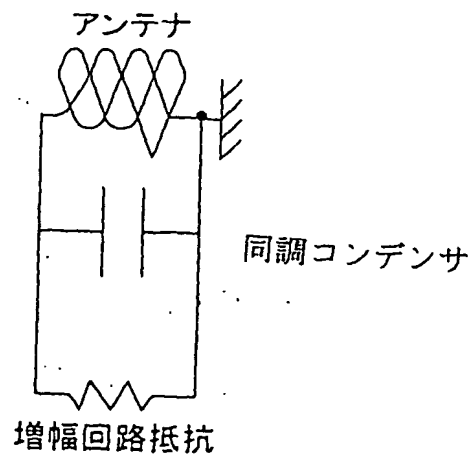


図 2 3



12/20

図 12

従来例

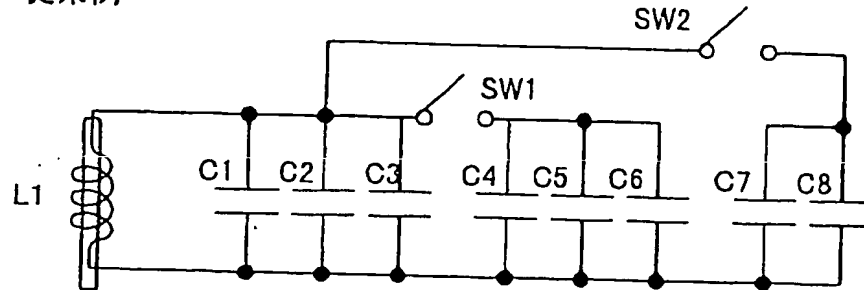
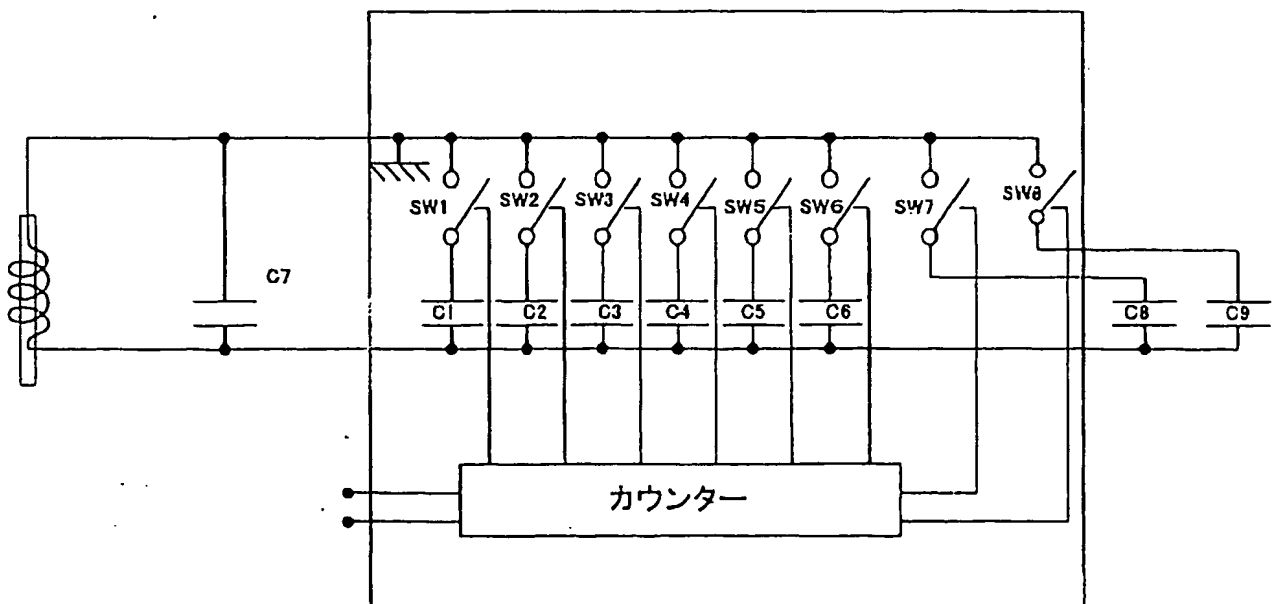


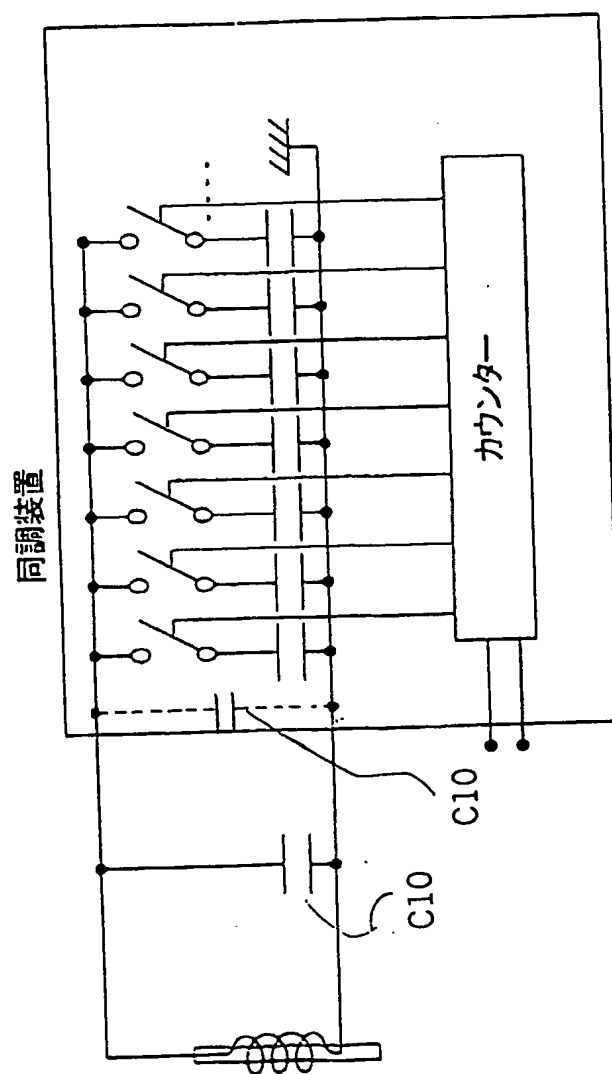
図 13

同調回路



13/20

図 14



抵抗/コンデンサインピーダンス-アンテナ利得特性

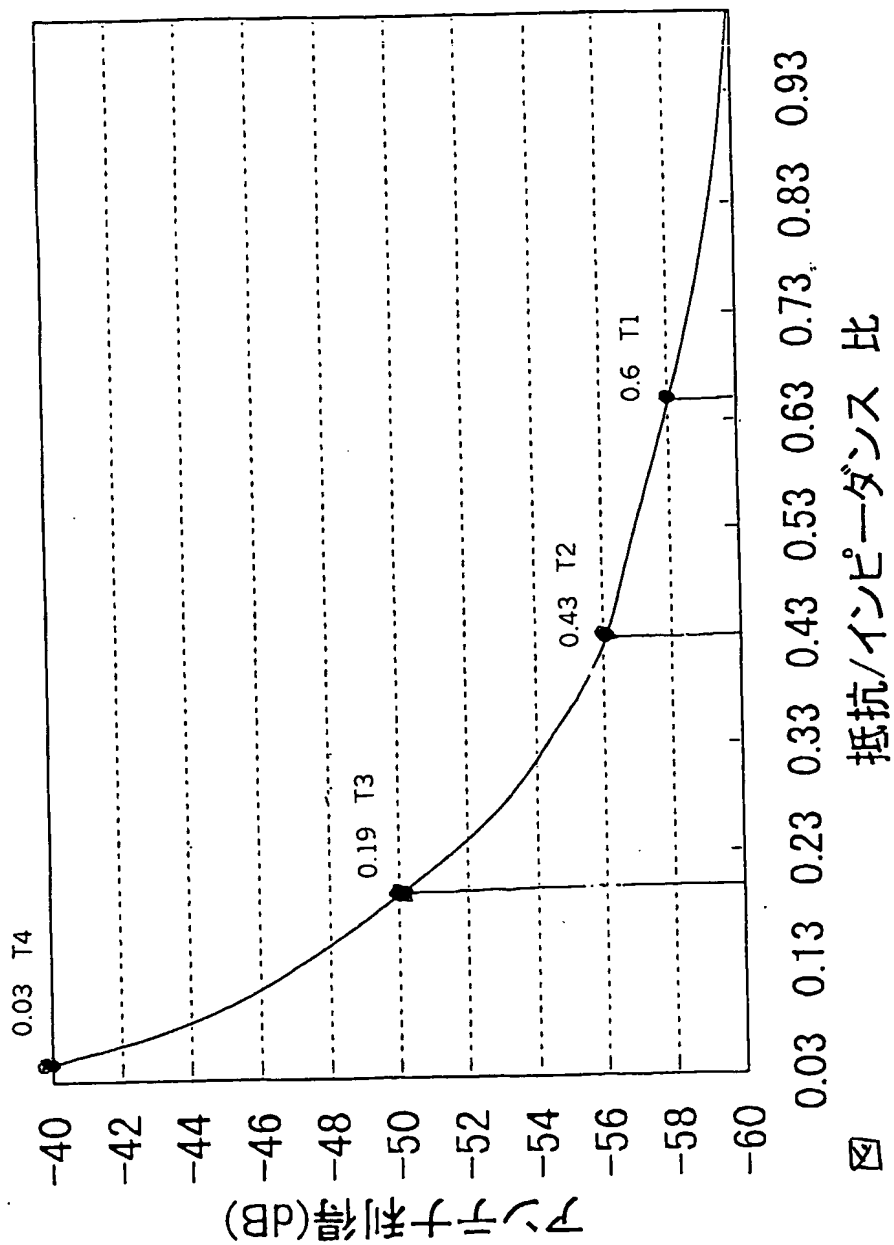


図 15

抵抗/コンデンサインピーダンス-アンテナ利得特性

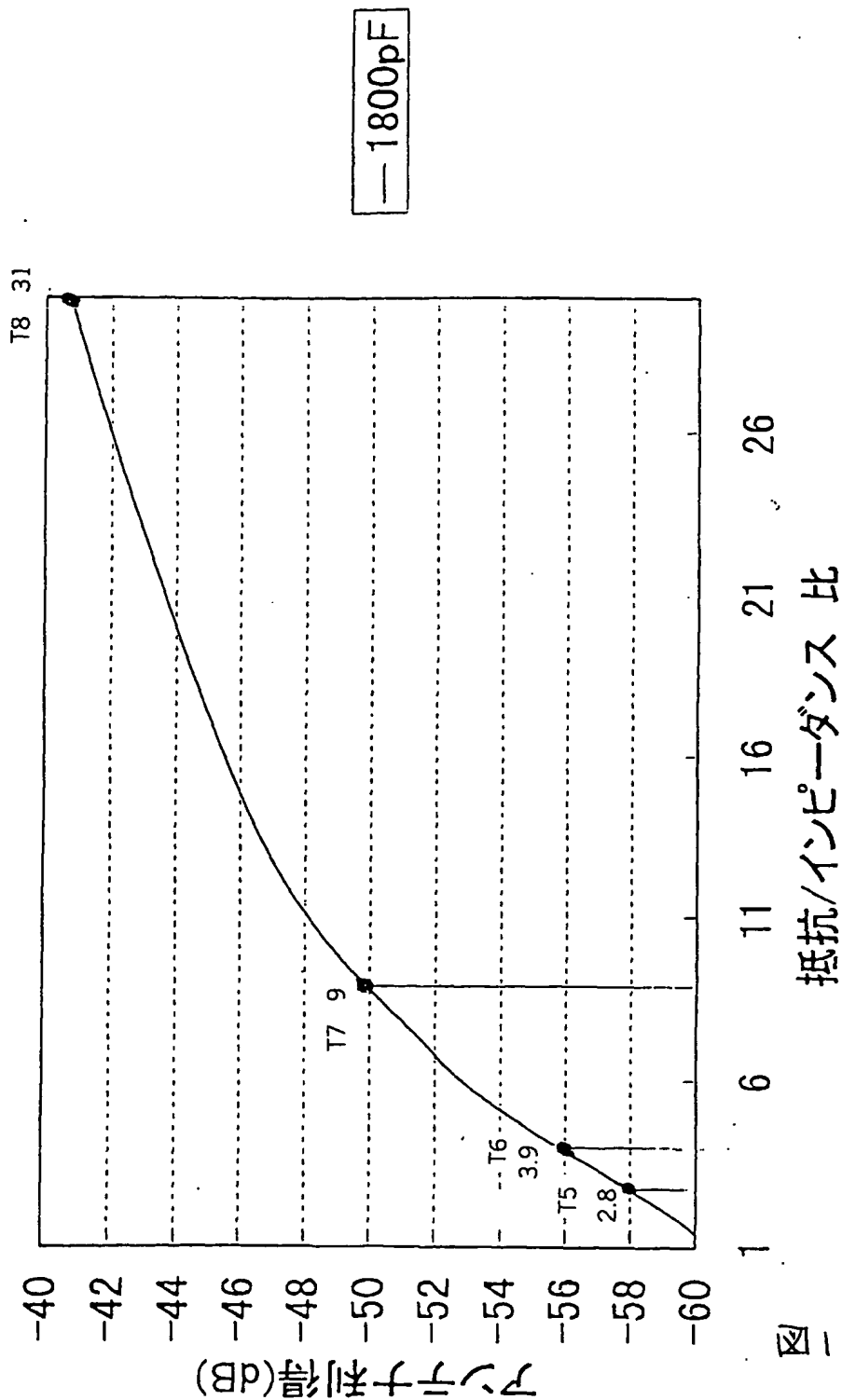


図16

16/20

図 17

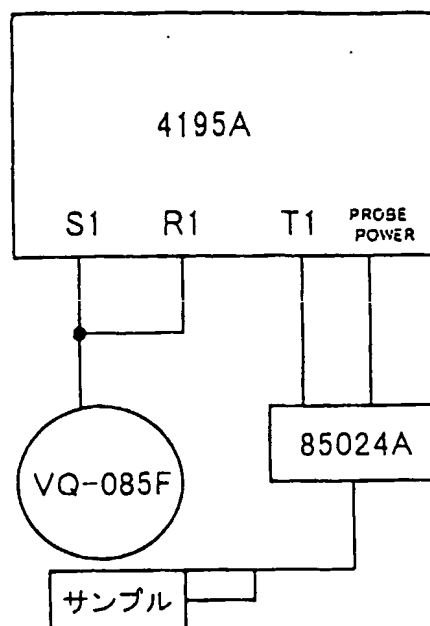


図 18

アンテナ・サンプル間距離

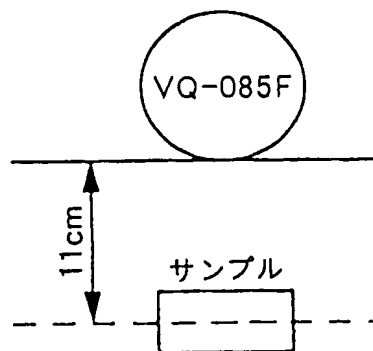
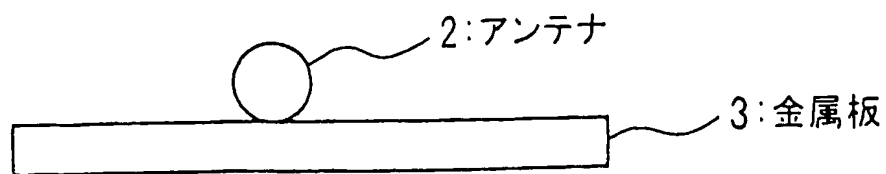


図 19

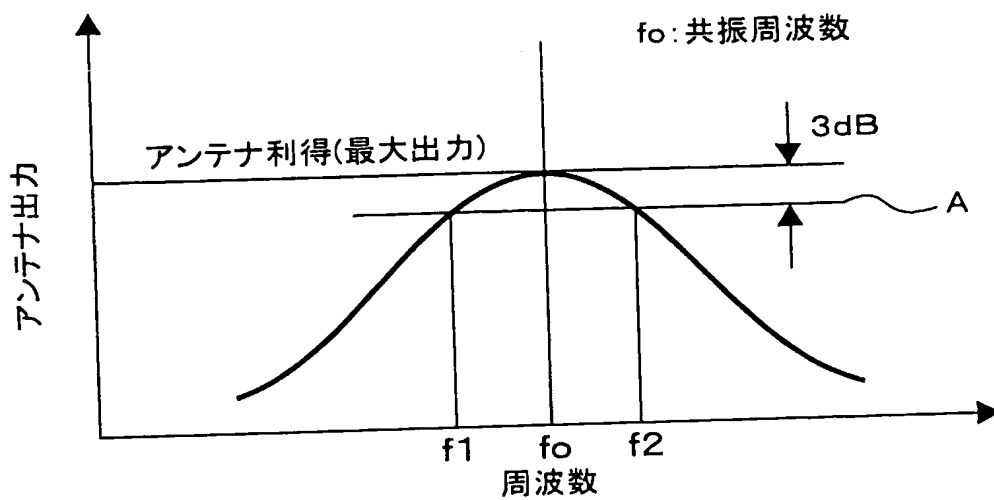


アンテナと金属板の距離: 0mm

17/20

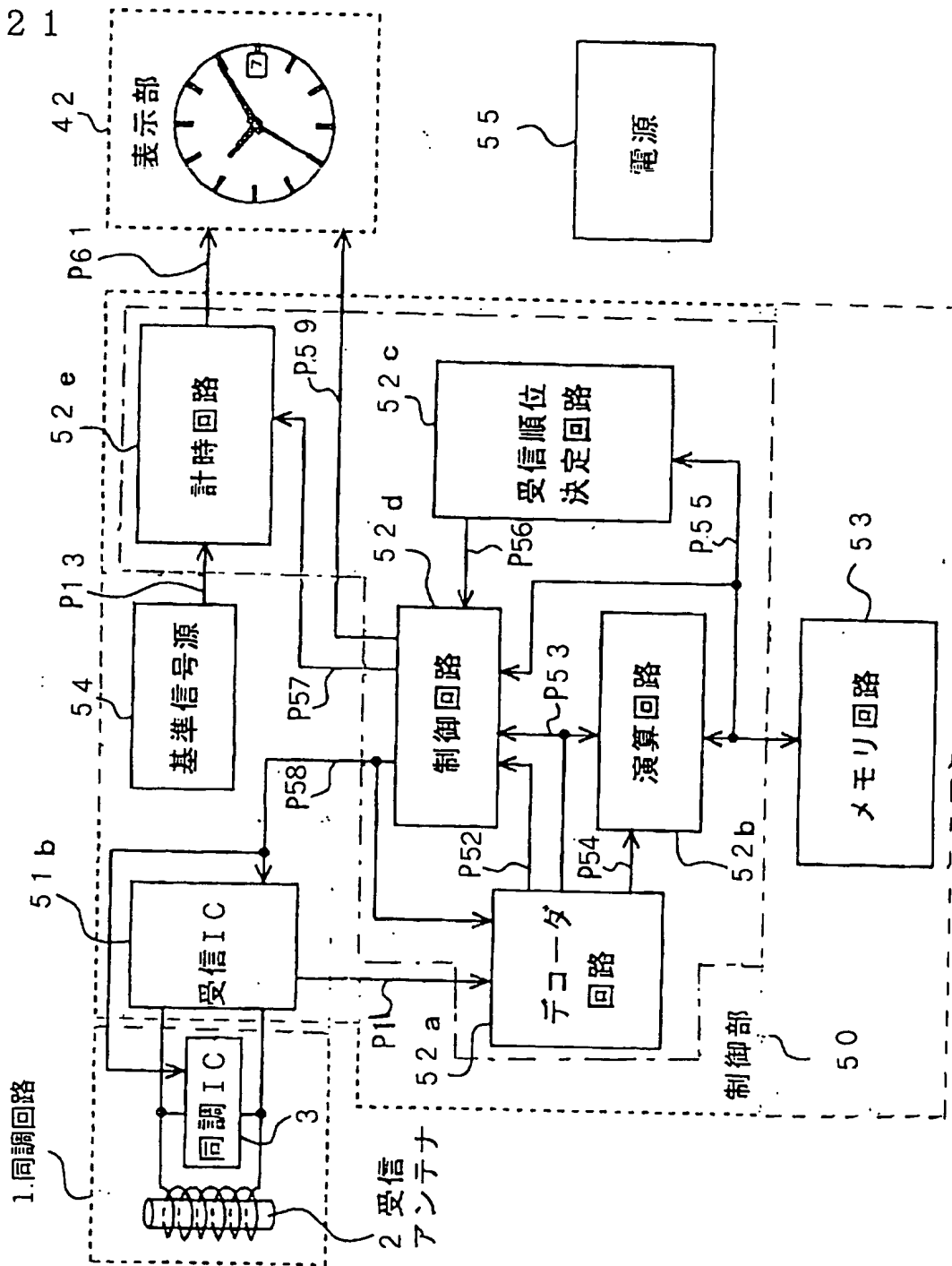
共振アンテナ出力特性

図 20



18/20

図 21



19/20

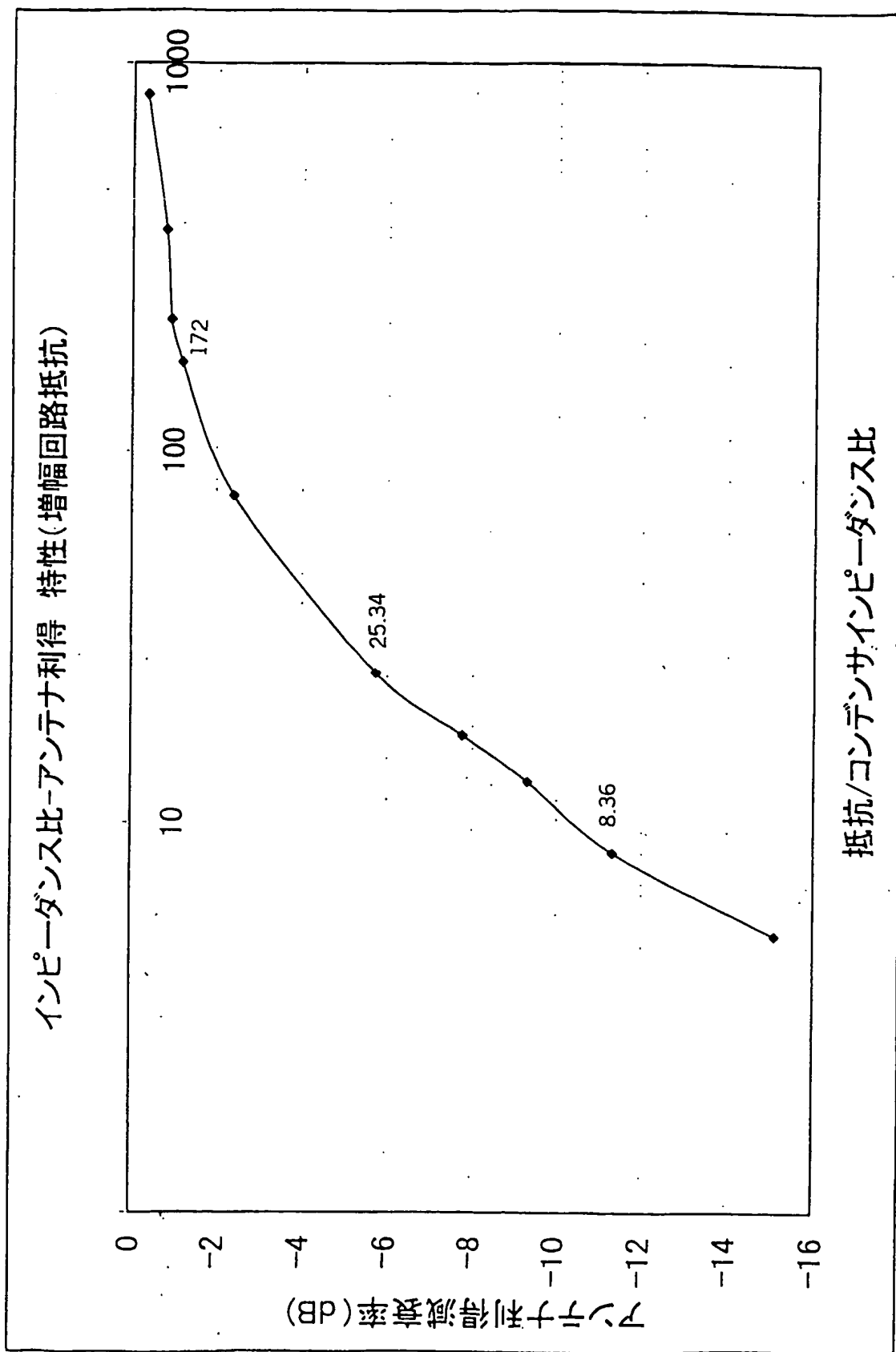
図 2 2

受信履歴情報表

アドレス	受信した送信局	受信処理時間	受信レベル
1	J J Y 福島局	3 分	H
2	J J Y 九州局	6 分	H
3	J J Y 九州局	5 分	M
4	受信エラー	—	—
5	DCF77	8 分	L
6	DCF77 (77.5KHz)	7 分	M
7	WWVB	5 分	M
8	J J Y 福島局	2 分	H
9	J J Y 福島局	5 分	H
1 0	JJY 九州局 (60KHz)	4 分	M
1 1	WWVB (60KHz)	1 0 分	L
1 2	JJY 福島局 (40KHz)	6 分	M
.	.	.	.
.	.	.	.
N	.	.	.

20/20

図 24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007211

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03J3/22, H04B1/18, G04C9/02, G04G5/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03J3/00-3/22, H04B1/18-1/24, G04C9/02, G04G5/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-82187 A (Citizen Watch Co., Ltd.), 22 March, 2002 (22.03.02), Full text; all drawings (Family: none)	1, 15, 18-21
Y	JP 9-74319 A (Tsuyoshi IKEDA), 18 March, 1997 (18.03.97), Full text; all drawings (Family: none)	1, 15, 18-21
Y	JP 2003-75561 A (Rhythm Watch Co., Ltd.), 12 March, 2003 (12.03.03), Full text; Fig. 2 (Family: none)	15, 18-21



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 August, 2004 (24.08.04)Date of mailing of the international search report
07 September, 2004 (07.09.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007211

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 03/003130 A1 (Kabushiki Kaisha Trigger), 09 January, 2003 (09.01.03), Full text; all drawings & JP 3463883 B2	16-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03J3/22, H04B1/18, G04C9/02, G04G5/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03J3/00-3/22, H04B1/18-1/24,
G04C9/02, G04G5/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2002-82187 A (シチズン時計株式会社) 2002. 3. 22、全文、全図 (ファミリーなし)	1, 15, 18-21
Y	J P 9-74319 A (池田 毅) 1997. 3. 18、全 文、全図 (ファミリーなし)	1, 15, 18-21
Y	J P 2003-75561 A (リズム時計工業株式会社) 2003. 3. 12、全文、図2 (ファミリーなし)	15, 18-21

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

24. 08. 2004

国際調査報告の発送日

07. 9. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

杉浦 淳

2 F

8704

電話番号 03-3581-1101 内線 6277

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO 03/003130 A1 (株式会社トリガー) 2003. 01. 09 、全文、全図 & JP 3463883 B2	16-17